

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/707,358
Docket No. 11417-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yu-Piao Wang
Application No. : 10/707,358
Filed : December 08, 2003
For : SEMICONDUCTOR DEVICE AND FABRICATING
METHOD THEREOF
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

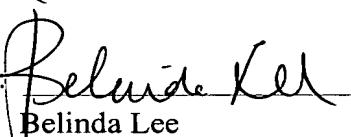
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092123253, filed on: 2003/08/25.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

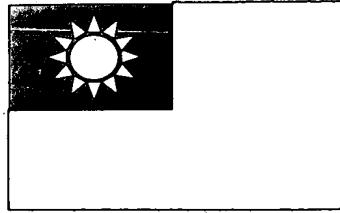
Dated: April 20, 2004

By: 
Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

**7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 08 月 25 日

Application Date

申 請 案 號：092123253

Application No.

申 請 人：茂德科技股份有限公司

Applicant(s)

局 長

Director General

A handwritten signature in Chinese characters, likely representing the signature of the Director General.

發文日期：西元 2004 年 1 月 29 日

Issue Date

發文字號：09320073780

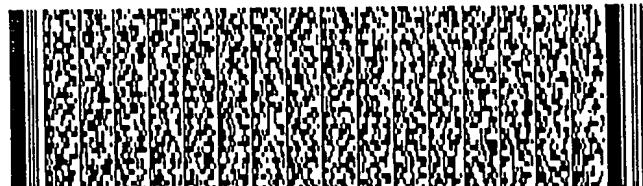
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體元件之結構及其製造方法
	英文	SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 王裕標
	姓名 (英文)	1. Brian Wang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市光明12街71號
	住居所 (英 文)	1. No. 71, Guangming 12st St., Jhubei City, Hsinchu County 302, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓名 (英文)	1. ProMOS Technologies Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 胡洪九
代表人 (英文)	1. Hung-Chiu HU	



四、中文發明摘要 (發明名稱：半導體元件之結構及其製造方法)

一種半導體元件的製造方法，此方法係首先在一基底上形成一閘介電層，在基底上形成數個閘極結構，其中每一閘極結構具有一閘極電層、一頂蓋層以及一間隙壁。接著，在基底之上方形成一罩幕層，覆蓋住部分的閘極結構上方沈積一介電層，之後移除未被移除之罩幕層後，在基底之上形成一自行對準接觸窗，再於自行對準接觸窗內及介電層上形成一導線。本發明將部分閘極結構之頂蓋層以及間隙壁移除，並以較低介電常數之介電層取代上述被移除的頂蓋層及間隙壁所在之位置，以降低寄生電容。

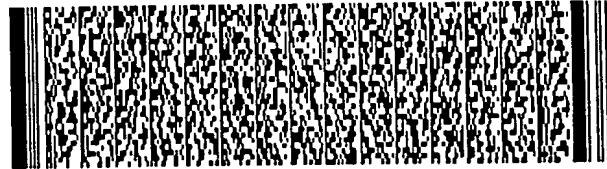
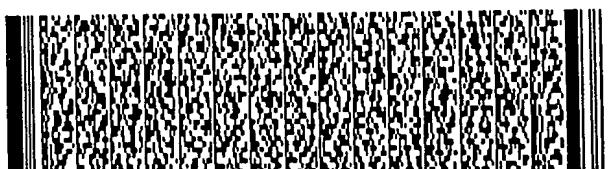
伍、(一)、本案代表圖為：第____1D____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底 102：隔離區 104：閘介電層

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF)

A method of fabricating a semiconductor device is described. A gate dielectric layer is formed on a substrate, and several gate structures having a gate conductor, a cap layer and spacers are formed on the gate dielectric layer. A mask layer is formed over the substrate covering a portion of the gate structures. Removing the cap layer and spacers that are not covered by the mask layer.

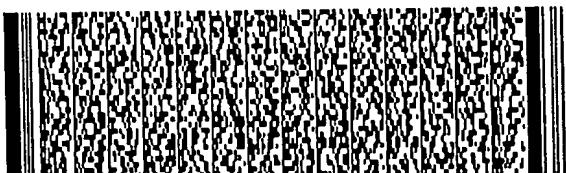


四、中文發明摘要 (發明名稱：半導體元件之結構及其製造方法)

130、140a：閘極結構 142：多晶矽層 144：金屬
矽化物層 118：介電層 120：自行對準接觸窗
122：位元線

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF)

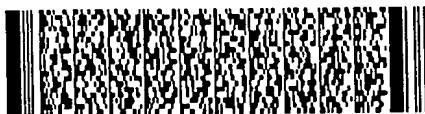
After the mask layer is removed, a dielectric layer is formed over the substrate covering the gate structures. A self-aligned contact hole is formed in the dielectric layer. A conductive layer is formed in the self-aligned contact hole and on the dielectric layer. Since the un-covered cap layer and spacers are removed and substituted by the dielectric layer having lower dielectric



四、中文發明摘要 (發明名稱：半導體元件之結構及其製造方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF)

constant property, the parasitic capacitance can be reduced.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種半導體元件之結構及其製造方法，且特別是有關於一種能降低寄生電容之半導體元件及其製造方法。

【先前技術】

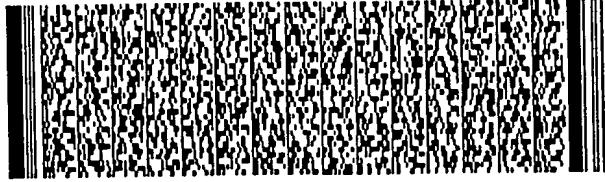
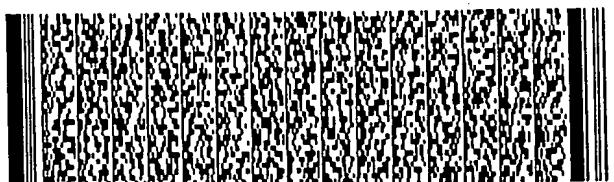
隨著半導體技術的進步，元件的尺寸也不斷地縮小。當進入深次微米的領域中，積體電路的積集度增加時，使得晶片的表面無法提供足夠的面積來製作所需的內連線 (Interconnects)。因此為了配合元件縮小後所增加的內連線需求，兩層以上的多層金屬內連線的設計，便成為超大型積體電路 (VLSI) 技術所必須採用的方式。

然而，由於多層內連線交錯複雜的設計，因此經常會在兩層導電結構且夾有介電層在其中的結構中產生所謂的寄生電容 (parasitic capacitance)。例如，在記體元件中，通常在形成閘極結構之後，會先覆蓋一層介電層在其上，然後再於介電層上形成位元線，因此位元線與閘極結構之間將因位元線耦合效應 (bit-line coupling effect) 而產生寄生電容。

上述寄生電容的存在，會造成訊號干擾 (signal noise)，使得元件工作效能受到影響。因此如何降低積體電路中存在的寄生電容是目前迫切需要解決的問題之一。

【發明內容】

因此本發明的目的就是提供一種半導體元件之結構及其製造方法，以使習知積體電路之結構中所產生的寄生電

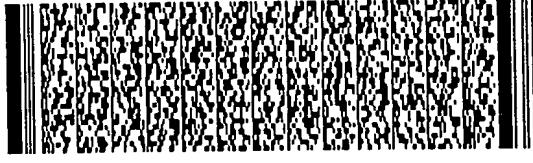
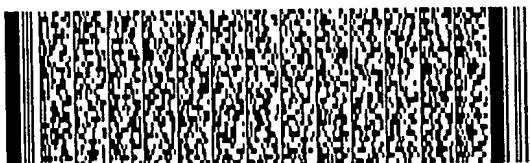


五、發明說明 (2)

容可以減低。

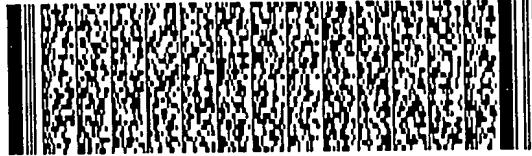
本發明的一個目的就是提供一種半導體元件之結構及其製造方法，以使記憶體元件中位元線耦合效應所產生之寄生電容可以減低。

首結及部接幕被移。電
係極以住準罩未層構介
方法閘層蓋對此除幕結於
方法個蓋覆行至移罩極且
此數頂，自甚後將閘並
方法形、幕形構。壁蓋窗線
方法上層罩定結域隙覆觸導
方法底電一預極區間，接之
製基導成住閘分及層準觸
的在極形蓋之部以電對接
導介具底幕主極的沈成觸
體電有之層動結頂積一自電
件，閘方覆上的層介行性
元層一上係區構蓋一自電
半閘構基罩是閘構方形接
一種一成極，在中或述結上中準
提出上形閘著，其構上極之層對
明基底每接構極蓋之基介自
發基中壁極之僅覆蓋在於與
本在一其隙閘處可層後，再成
先構一分觸層罩除後層



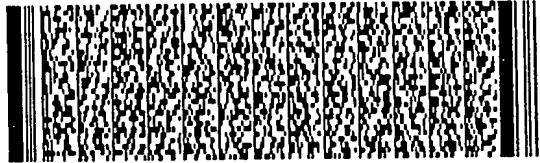
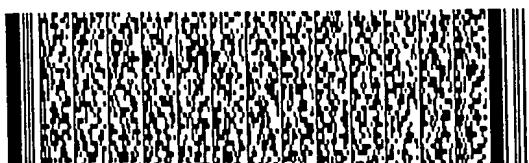
五、發明說明 (3)

在一較佳實施例中，第一閘極結構之頂蓋層以及間隙僅僅配置在自行對準接觸窗與閘極導電層之間。在另一較



五、發明說明 (4)

本發明將閘極結構中具有較高介電常數的頂蓋層以被移除的頂蓋層以及閘壁所在之處，藉以降低積體電路結構中之寄生電容。



五、發明說明 (5)

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

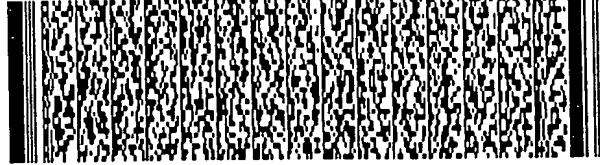
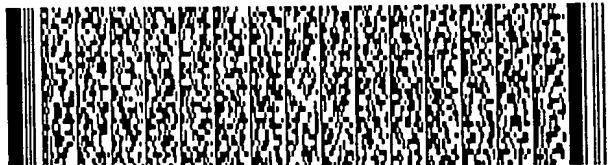
【實施方式】

第一實施例

第1A圖至第1D圖所示，其繪示依照本發明第一實施例的半導體元件的製造流程剖面示意圖，第9圖是依照本發明第一實施例之半導體元件結構之上視圖，以下係以一記憶體元件為例來作說明，但並非限定本發明僅能應用在記憶體元件中。

請參照第1A圖以及第9圖，首先在一基底100中形成一隔離區102，以定義出主動區101。在此，隔離區102例如是淺溝渠隔離區。之後，在基底100之表面上形成一薄氧化層104，其後續係作為一閘介電層之用。接著，在基底100之上方形成數個閘極結構130、140。在此，閘極結構130係形成在主動區101上，而閘極結構140係形成在隔離區102上。而上述之閘極結構130、140係分別由多晶矽層132、142、金屬矽化物134、144、頂蓋層136、146以及間隙壁138、148所構成，其中頂蓋層136、146以及間隙壁138、148之材質例如是氮化矽。另外，視製程之需要，在多晶矽層132、142以及金屬矽化物134、144側壁處更包括形成有一氧化矽間隙壁(未繪示)。

請參照第1B圖，在基底100上形成一罩幕層116，覆蓋住主動區101上的閘極結構130。在一較佳實施例中，罩幕



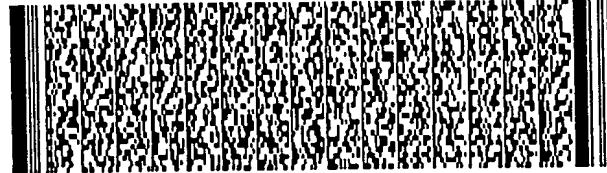
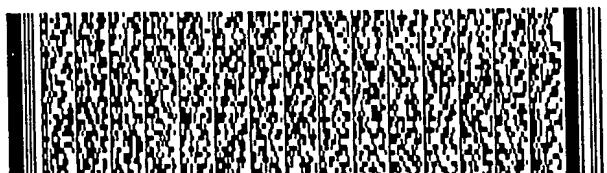
五、發明說明 (6)

層116 例如是光阻層，且光阻層之底下更可包括一抗反射層。此罩幕層116 所覆蓋的區域可以是主動區101 上的閘極結構130 或是後續預定會在其間形成自行對準接觸窗處的閘極結構130 。

之後，進行一蝕刻製程，以移除未被罩幕層116 覆蓋之頂蓋層146 以及間隙壁148，而留下多晶矽層142 以及金屬矽化物層144，形成閘極結構140a，其上視圖如第9圖所示。在第9圖中，位於主動區101 上的閘極結構130 的頂蓋層136 以及間隙壁138 仍保留下來，但是隔離區102 上的閘極結構140 之頂蓋層146 以及間隙壁148 已被移除。上述之蝕刻製程所使用之蝕刻反應物對於頂蓋層146 / 間隙壁148 與閘介電層104 / 閘極導電層(多晶矽層132、142 與金屬矽化物層134、144) 之間的蝕刻選擇比至少大於10，其例如是對於氮化矽與氧化矽/矽/金屬矽化物之間的蝕刻選擇比至少大於10。在一較佳實施例中，此蝕刻製程可以濕式蝕刻製程，其例如是使用磷酸作為蝕刻液，或是乾式蝕刻製程，其例如是使用三氟化碳(CHF_3)/ 氧氣或是二氟化碳(CH_2F_2) 作為反應氣體。

值得一提的是，上述將閘極結構之頂蓋層146 以及間隙壁148 移除的步驟，可以合併在閘極接觸窗製程中。換言之，如第9圖所示，可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗190 處之頂蓋層時，能同時移除上述之頂蓋層146 以及間隙壁148 。

請參照第1C 圖，移除罩幕層116 之後，在基底100 之上



五、發明說明 (7)

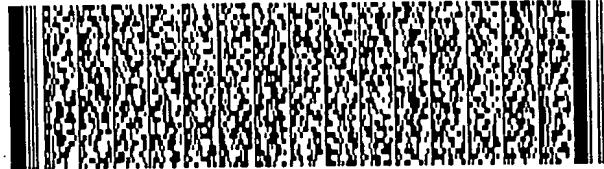
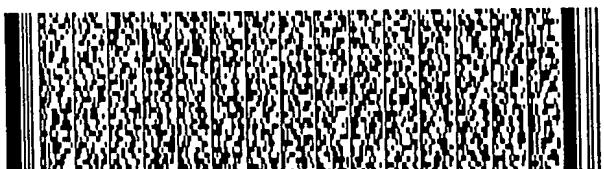
方沈積一層介電層118，覆蓋住閘極結構130以及閘極結構140a。特別是，介電層118之介電常數係低於氮化矽之介電常數，其材質例如是氧化矽、經摻雜之氧化矽或是低介電常數之介電層。

值得注意的是，通常形成在隔離區102上的閘極導電層(多晶矽142與金屬矽化物144)的沈積厚度相較於主動區101的閘極導電層(多晶矽132與金屬矽化物134)的沈積厚度薄，因此隔離區102上的閘極結構之阻值將對較高。而由於本實施例會將隔離區102上之閘極結構的頂蓋層146以及間隙壁148移除，因此在移除罩幕層116之後，更可以進行一金屬矽化製程，而在多晶矽142之側壁形成金屬矽化物層108，以降低其電阻值。

請參照第1D圖，在介電層118中形成一自行對準接觸窗120，並且在介電層118上形成一位元線122，其中位元線122係橫跨於閘極結構130、140a之上方，且與自行對準接觸窗120電性接觸。

在本發明中，由於先前已將閘極結構140之頂蓋層146以及間隙壁148移除，且後續於沈積介電層118之後，原先頂蓋層146與間隙處148所在之處取而代之的是具有較低介電常數的介電層118。因此，本發明之方法可以減低位元線122與閘極結構140耦合產生之寄生電容。

請繼續參照第1D圖，本實例之半導體元件之結構包括一閘介電層104、數個閘極結構130、數個閘極結構140a、一介電層118、一自行對準接觸窗120以及一導線122。其



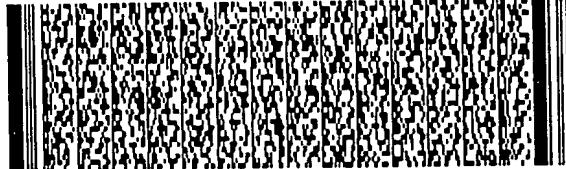
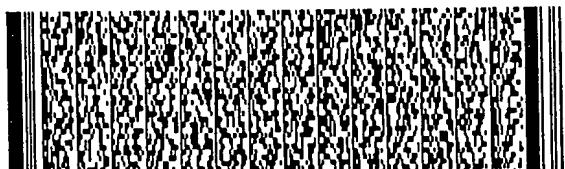
五、發明說明 (8)

中，閘介電層104係配置在一基底100上。閘極結構130係配置在閘介電層104上，其中閘極結構130具有一閘極導電層132、134、一頂蓋層136以及一間隙壁138。而閘極結構140a是配置在基底100上方，且閘極結構140a具有閘極導電層142、144。介電層118是配置在基底100上並覆蓋閘極結構130、140a。自行對準接觸窗120是配置在閘極結構130之間的介電層118中，而導線122是配置在介電層118上且與自行對準接觸窗120電性接觸。在一較佳實施例中，於閘極結構140a之閘極導電層142側壁處更包括形成有一金屬矽化物層108。

本發明除了將位於隔離區上的閘極結構之間隙壁與頂蓋層移除，以減低寄生電容之外，在另一較佳實施例中，本發明更將主動區上的閘極結構的部分頂蓋層以及間隙壁移除，以減低位元線耦合效應所產生的寄生電容，其詳細說明如下。

請參照第2A圖以及第10圖，如同先前第1A圖之步驟，在基底100中形成隔離區102，以定義出主動區101，在基底100上形成閘介電層104之後，於基底100上形成閘極結構130、140。接著，在基底100之上方形成一罩幕層200，覆蓋住閘極結構130的部分區域，較詳細的說明是，罩幕層200係覆蓋住後續預定形成有自行對準接觸窗處之頂蓋層136以及間隙壁138。

請參照第2B圖，進行一蝕刻製程，以移除未被罩幕層200覆蓋之頂蓋層146及間隙壁148以及部分的頂蓋層136以



五、發明說明 (9)

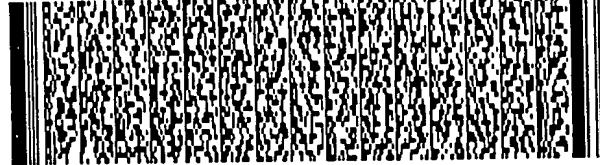
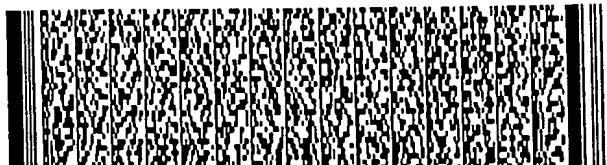
及間隙壁138，而保留下預定形成自行對準接觸窗之處的頂蓋層136a以及間隙壁138a，形成閘極結構130a以及閘極結構140a，其上視圖如第10圖所示。在第10圖中，位於主動區101上的閘極結構130的僅有部分的頂蓋層136a以及間隙壁138a保留下來。而此蝕刻製程之相關參數與第1B圖之蝕刻製程相同，其中若使用濕式蝕刻製程時，則必須考慮去除頂蓋層136造成底切(undercut)的情況，然而將罩幕層200覆蓋的範圍稍作修改即可克服此問題。

同樣的，將頂蓋層146及間隙壁148以及部分的頂蓋層136以及間隙壁138移除的步驟，可以合併在閘極接觸窗製程中。換言之，如第10圖所示，可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗190處之頂蓋層時，能同時移除上述之頂蓋層146及間隙壁148以及部分的頂蓋層136以及間隙壁138。

請參照第2C圖，移除罩幕層200之後，在基底100之上方沈積一層介電層118，覆蓋住閘極結構130a以閘極結構140a。之後，請參照第2D圖，在介電層118中形成一自行對準接觸窗120，並且在介電層118上形成一位元線122。

同樣的，本實施例在移除罩幕層200之後，更包括進行一金屬矽化製程，而在暴露出的多晶矽132、142之側壁形成金屬矽化物層108，以降低閘極結構130a、140a之電阻值。

在此實例中，除了將閘極結構140之頂蓋層146以及間隙壁148移除之外，還將閘極結構130部分的頂蓋層136以



五、發明說明 (10)

及間隙壁138移除，因此當後續沈積具有較低介電常數之介電層118之後，位元線122與閘極結構130、140耦合產生之寄生電容將可以明顯降低。

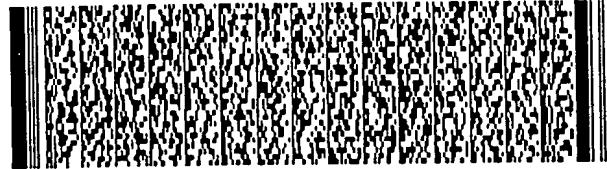
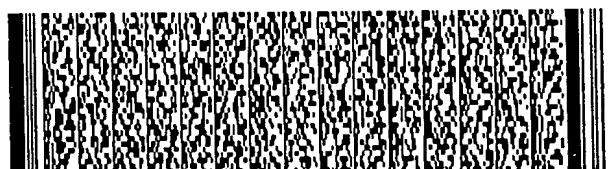
請繼續參照第2D圖，本實例之半導體元件之結構與第1D圖之結構相似，不同的是在於閘極結構130a，其具有一閘極導電層132、134、一頂蓋層136a以及一間隙壁138a，其中閘極結構130a之頂蓋層136a以及間隙壁138a僅配置在自行對準接觸窗120與閘極導電層132、134之間。

第二實施例

第3A圖至第3D圖所示，其繪示依照本發明第二實施例的半導體元件的製造流程剖面示意圖，第11圖是依照本發明第二實施例之半導體元件結構之上視圖，以下係以一記憶體元件為例來作說明，但並非限定本發明僅能應用在記憶體元件中。

請參照第3A圖，首先進行與第1A圖相同之製程步驟。之後，在閘極結構130、140之間填入一介電層302。形成介電層302之方法例如是先在基底100之上方沈積一層介電材料層(未繪示)，覆蓋閘極結構130、140之後，再對介電材料層進行化學機械研磨製程或是回蝕刻製程，直到頂蓋層136、146暴露出來。

請參照第3B圖，在介電層302上形成一罩幕層304，覆蓋住主動區101上的閘極結構130。在一較佳實施例中，罩幕層304例如是光阻層，且光阻層之底下更可包括一抗反



五、發明說明 (11)

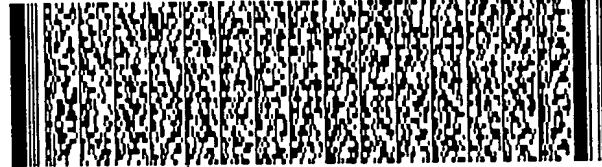
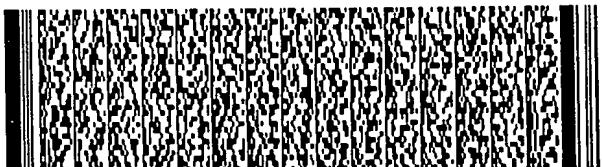
射層(未繪示)。此罩幕層304所覆蓋的區域可以是主動區上的閘極結構130或是後續預定會在其間形成自行對準接觸窗的閘極結構130。

之後，進行一乾式蝕刻製程，以移除未被罩幕層304覆蓋之頂蓋層146，而留下間隙壁146、多晶矽層142以及金屬矽化物層144，形成閘極結構140b。乾式蝕刻製程所使用之蝕刻反應物對於頂蓋層146與閘介電層104/閘極導電層(多晶矽層132、142與金屬矽化物層134、144)之間的蝕刻選擇比至少大於10，其例如是對於氮化矽與氧化矽/矽/金屬矽化物之間的蝕刻選擇比至少大於10。在一較佳實施例中，此乾式蝕刻製程例如是使用三氟化碳/氧氣或是二氟化碳作為反應氣體。

值得一提的是，將頂蓋層146移除的步驟，可以合併在閘極接觸窗製程中。換言之，如第11圖所示，可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗190處之頂蓋層時，能同時移除上述之頂蓋層146。

請參照第3C圖，移除罩幕層304之後，在介電層302之上方沈積另一層介電層118，覆蓋住閘極結構130以閘極結構140b。特別是，介電層118之介電常數係低於氮化矽之介電常數，其材質例如是氧化矽、經摻雜之氧化矽或是低介電常數之介電層。

請參照第3D圖，在介電層302以及118中形成一自行對準接觸窗120，並且在介電層118上形成一位元線122，其



五、發明說明 (12)

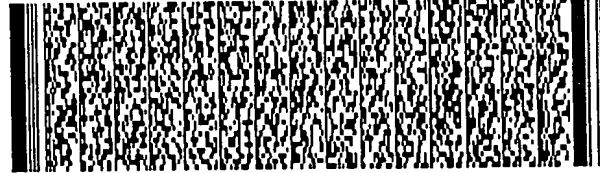
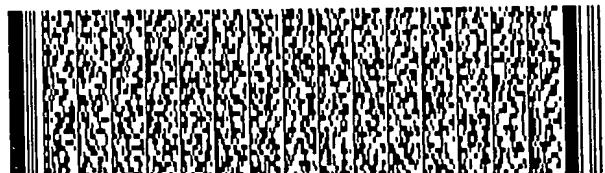
中位元線 122 係橫跨於閘極結構 130、140b 之上方，且與自行對準接觸窗 120 電性接觸。

請繼續參照第 3D 圖，本實例之半導體元件與第 1D 圖之元件相似，不同之處在於閘極結構 140b，其除了具有閘極導電層 142、144 之外，還包括形成在閘極導電層 142、144 側壁之間隙壁 148，且間隙壁 148 之高度係高於閘極導電層 142、144 之高度。另外，本實例之閘極結構 130、140b 之間之介電層 302 與覆蓋在閘極結構 130、140b 上之介電層 118 可以是相同或是不相同之介電材料。

在本實施例之另一實例中，是於第 3B 圖的步驟中進行濕式蝕刻製程，因此除了頂蓋層 146 會被移除之外，間隙壁 148 也一併會被移除，如第 4A 圖所示。在第 4A 圖中，濕式蝕刻製程會將閘極結構 140 之頂蓋層 146 及間隙壁 148 都移除，而形成閘極結構 140a，且閘極結構 140a 之側壁與介電層 302 之間會形成有一空隙 400，此濕式蝕刻製程例如是使用磷酸為蝕刻液。

同樣的，在此實例中，將頂蓋層 146 與間隙壁 148 移除的步驟，可以合併在閘極接觸窗製程中。本實例之上視圖亦如同如第 9 圖所示，亦即可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗 190 處之頂蓋層時，能同時移除上述之頂蓋層 146 與間隙壁 148。

之後，請參照第 4B 圖，當移除罩幕層 304，而於介電層 302 上沈積另一介電層 118 之後，介電層 118 會填入空隙 400 處，並於該處形成孔洞 402。同樣的，本實施例在移除



五、發明說明 (13)

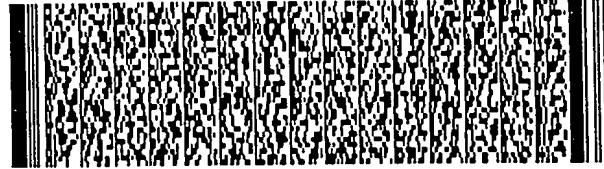
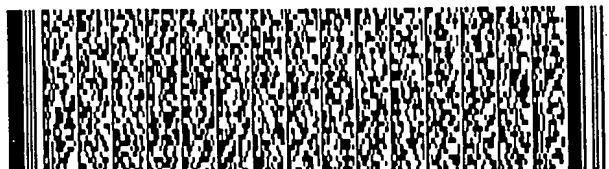
罩幕層304之後，更可以進行一金屬矽化製程，而在多晶矽142之側壁形成金屬矽化物層108，以降低閘極結構140a之電阻值。之後，請參照第4C圖，再繼續形成自行對準接觸窗120以及位元線122。

在本發明第二實施例中，是將頂蓋層146或是頂蓋層146與間隙壁148移除，以達到降低位元線耦合效應所產生之寄生電容。而且，若是將頂蓋層146與間隙壁148都移除，後續在沈積介電層118之後，會在空隙400處形成孔洞402，此孔洞402的存在可以使介電層118的介電常數降低，因此可以更進一步的減低位元線耦合效應所產生之寄生電容。

請繼續參照第4C圖，上述之製程所形成半導體元件之結構係與第3D圖相似，不同的是在於閘極結構140a，此閘極結構140a僅包括有閘極導電層142、144，而且在有閘極導電層142、144側邊的介電層118中係形成有孔洞402。在另一較佳實施例中，於閘極導電層142之側壁更包括形成有一金屬矽化物層108。

本發明第二實施例除了將隔離區上的閘極結構之間隙壁與頂蓋層移除，以減低寄生電容之外，更可以將主動區上的閘極結構的部分頂蓋層以及間隙壁移除，以減低位元線耦合效應所產生的寄生電容，其詳細說明如下。

請參照第5A圖，如同先前第4A圖之步驟，在基底100中形成隔離區102，在基底100上形成閘介電層104之後，於基底100上形成閘極結構130、140，並且在閘極結構



五、發明說明 (14)

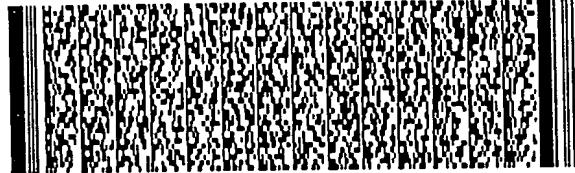
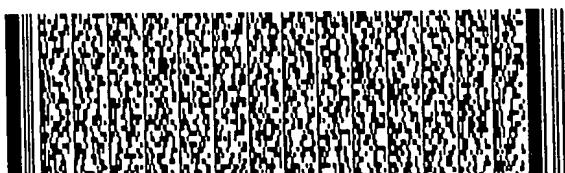
130、140 之間填入介電層 302。接著，在介電層 302 上方形成一罩幕層 500，覆蓋住閘極結構 130 的部分區域，較詳細的說明是，罩幕層 500 係覆蓋住後續預定形成有自行對準接觸窗處之頂蓋層 136 以及間隙壁 138。

請參照第 5B 圖，進行一乾式蝕刻製程，以移除未被罩幕層 500 覆蓋之頂蓋層 146 以及部分的頂蓋層 136，而保留下預定形成自行對準接觸窗之處的頂蓋層 136a，形成閘極結構 130b 以及閘極結構 140b。同樣的，將頂蓋層 146 以及部分的頂蓋層 136 移除的步驟，可以合併在閘極接觸窗製程中。換言之，如第 12 圖所示，可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗 190 處之頂蓋層時，能同時移除上述之將頂蓋層 146 以及部分的頂蓋層 136。

請參照第 5C 圖，移除罩幕層 500 之後，在基底 100 之上方沈積一層介電層 118，覆蓋住閘極結構 130b 以閘極結構 140b。之後，請參照第 5D 圖，在介電層 118 中形成一自行對準接觸窗 120，並且在介電層 118 上形成一位元線 122。

請繼續參照第 5D 圖，上述之製程所形成半導體元件之結構係與第 3D 圖相似，不同的是在於閘極結構 130b，此閘極結構 130b 具有閘極導電層 132、134、頂蓋層 136a 以及間隙壁 138。

本發明第二實施例之另一實例，是在在第 5B 圖是進行濕式蝕刻製程，使得頂蓋層 146、間隙壁 148 以及部分的頂蓋層 136 以及間隙壁 138 都被移除，而保留下預定形成自



五、發明說明 (15)

行對準接觸窗之處的頂蓋層136a 以及間隙壁138a，形成閘極結構130a 以及閘極結構140a，如第6圖所示。且後續形成介電層118 之後會在空隙400 處形成孔洞402，此孔洞402 的存在可以使介電層118 的介電常數降低，因此可以更進一步的減低位元線耦合效應所產生之寄生電容。

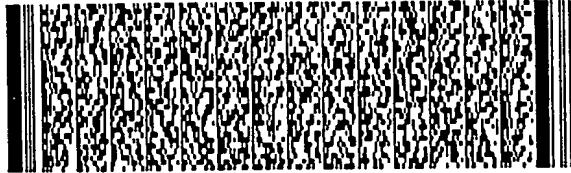
同樣的，本實施例在移除罩幕層500 之後，更包括進行一金屬矽化製程，而在暴露出的多晶矽132、142 之側壁形成金屬矽化物層108，以降低閘極結構130a、140a 之電阻值。

請繼續參照第6圖，本實例之半導體元件係與第4C圖相似，不同的是在於閘極結構130a，閘極結構130a 具有閘極導電層132、134、頂蓋層136a 以及間隙壁138a，其中閘極導電層132、134 除了與自行對準接觸窗120 相鄰之側壁之外，其餘閘極導電層132、134 之側壁處的介電層118 中具有孔洞402。在另一較佳實施例中，於閘極導電層142 之側壁及除了與自行對準接觸窗120 相鄰之側壁之外，其餘閘極導電層132 之側壁更包括形成有一金屬矽化物層108。

第三實施例

第7A圖至第7D圖所示，其繪示依照本發明第三實施例的半導體元件的製造流程剖面示意圖，第13圖是依照本發明第二實施例之半導體元件結構之上視圖，以下係以一記憶體元件為例來作說明。

請參照第7A圖與第13圖，首先在一基底100 中形成一



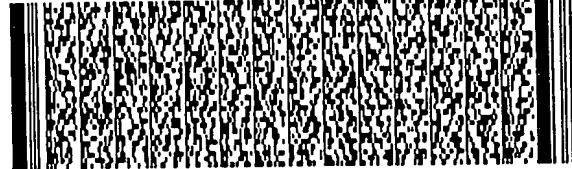
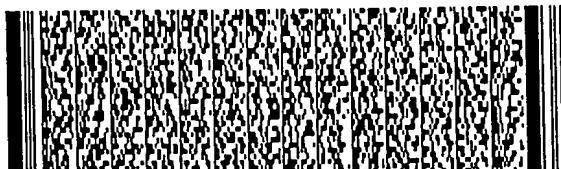
五、發明說明 (16)

隔離區102，以定義出主動區101。之後，在基底100之表面上形成一閘介電層104，並且基底100之上方形成閘極結構130、140，其中，閘極結構130係形成在主動區上，而閘極結構140係形成在隔離區102上。而上述之閘極結構130、140係分別由多晶矽層132、142、金屬矽化物134、144、頂蓋層136、146以及間隙壁138、148所構成，其中頂蓋層136、146以及間隙壁138、148之材質例如是氮化矽。之後，在閘極結構130、140之間填入一介電層302。形成介電層302之方法例如是先在基底100之上方沈積一層介電材料層(未繪示)，覆蓋閘極結構130、140之後，再對介電材料層進行化學機械研磨製程或是回蝕刻製程，直到頂蓋層136、146暴露出來。

接著，在介電層302中形成一自行對準接觸窗600，形成自行對準接觸窗600之方法例如是先在介電層302中形成一自行對準接觸窗開口之後，再於自行對準接觸窗開口內形成導電層。

之後，請參照第7B圖，進行一濕式蝕刻製程，以移除閘極結構130、140之頂蓋層136、146以及間隙壁138、148，而形成閘極結構130c、140a，且閘極結構130c、140a之側壁與介電層302之間會形成有一空隙400。

同樣的，將頂蓋層136、146以及間隙壁138、148移除的步驟，可以合併在閘極接觸窗製程中。換言之，如第13圖所示，可以將閘極接觸窗製程的光罩稍作修改，而使得於移除預定形成閘極接觸窗190處之頂蓋層136時，能同時



五、發明說明 (17)

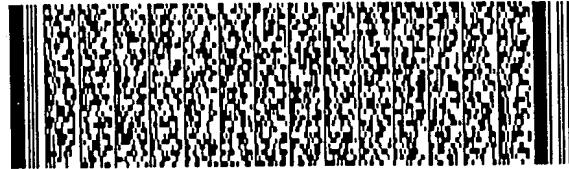
移除上述之頂蓋層136、146以及間隙壁138、148。

請參照第7C圖，在介電層302上沈積一另一層介電層118，並填入空隙400內，且填入於空隙400處的介電層118中會形成有孔洞402。特別是，介電層118之介電常數係低於氮化矽之介電常數，其材質例如是氧化矽、經摻雜之氧化矽或是低介電常數之介電層。

請參照第7D圖，在介電層118上形成位元線122，並且在介電層118中形成與自行對準接觸窗600電性接觸之接觸窗122a。

請繼續參照第7D圖，本實施例之半導體元件包括包括一閘介電層104、數個閘極結構130c、數個閘極結構140a、介電層302、118、一自行對準接觸窗600以及一導線122。其中，閘介電層104係配置在一基底100上。閘極結構130c是配置在閘介電層104上，且閘極結構130c具有閘極導電層132、134，而閘極結構140a是配置在基底100上方，且閘極結構140a具有閘極導電層142、144。另外，介電層118、302是配置在基底100上並覆蓋閘極結構130c、140a。自行對準接觸窗600是配置在閘極結構130c之間的介電層302中，且自行對準接觸窗600與閘極結構130c之間係夾有介電層118。而導線122是配置在介電層118上，且透過接觸窗122a而與自行對準接觸窗600電性接觸。在一較佳實施例中，閘極結構130c、140a之側壁處的介電層118中具有孔洞402。

本發明第三實施例之另一實例，是於第7B圖之步驟進

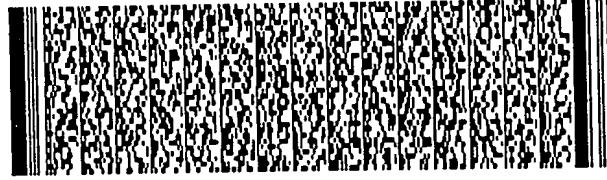
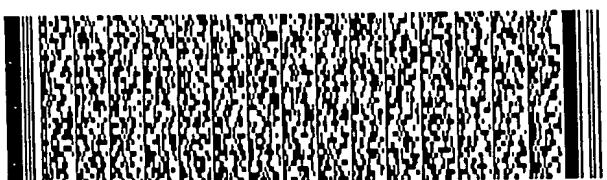


五、發明說明 (18)

行乾式蝕刻製程，以使僅有頂蓋層136、146被移除，而其他製程步驟則都上述之步驟相同，如第8圖所示。在第8圖中，開極結構130d以及閘極結構140b之頂蓋層已被移除，但其間隙壁仍保留下來，此方法同樣可以減低位元線耦合效應所產生之寄生電容。

第8圖中之半導體元件之結構係與第7D圖相似，不同的是在於閘極結構130d與閘極結構140b，閘極結構130d具有閘極導電層132、134以及間隙壁138，其中間隙壁138之高度係高於閘極導電層132、134。而閘極結構140b具有閘極導電層142、144以及間隙壁148，且間隙壁148之高度係高於閘極導電層142、144。

本發明將半導體元件中具有高介電常數之部分以低介電常數之材料取代，因此可以降低積體電路結構中存在的寄生電容。



圖式簡單說明

第1A圖至第1D圖是依照本發明第一實施例的半導體元件的製造流程剖面示意圖。

第2A圖至第2D圖是依照本發明第一實施例另一實例之半導體元件的製造流程剖面示意圖。

第3A圖至第3D圖是依照本發明第二實施例的半導體元件的製造流程剖面示意圖。

第4A圖至第4C圖是依照本發明第二實施例另一實例之半導體元件的製造流程剖面示意圖。

第5A圖至第5D圖是依照本發明第二實施例又一實例之半導體元件的製造流程剖面示意圖。

第6圖是依照本發明第二實施例再一實例之半導體元件的剖面示意圖。

第7A圖至第7D圖是依照本發明第三實施例的半導體元件的製造流程剖面示意圖。

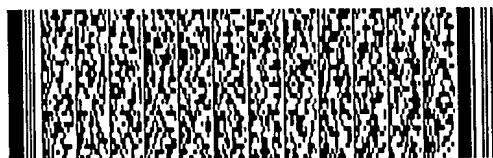
第8圖是依照本發明第三實施例另一實例之半導體元件的剖面示意圖。

第9圖是依照本發明第一實施例之半導體元件的上視示意圖。

第10圖是依照本發明第一實施例另一實例之半導體元件的上視示意圖。

第11圖是依照本發明第二實施例之半導體元件的上視示意圖。

第12圖是依照本發明第二實施例另一實例之半導體元件的上視示意圖。



圖式簡單說明

第13圖是依照本發明第三實施例之半導體元件的上視示意图。

【圖式標示說明】

100：基底

102：隔離區

104：閘介電層

130、140、130a、140a、130b、140b：閘極結構

132、142：多晶矽層

134、144、108：金屬矽化物層

136、146：頂蓋層

138、148：間隙壁

116、200、304、500：罩幕層

118、302：介電層

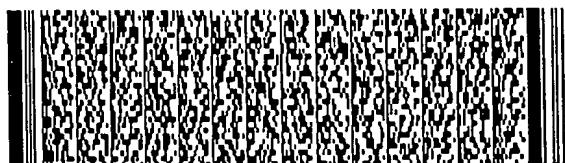
120、600：自行對準接觸窗

122：位元線

400：空隙

402：孔洞

122a：接觸窗



六、申請專利範圍

1. 一種半導體元件的製造方法，包括：

在一基底上形成一閘介電層；

在該基底上形成複數個閘極結構，其中每一該些閘極結構具有一閘極導電層、一頂蓋層以及一間隙壁；

在該基底之上方形成一罩幕層，覆蓋住部分的該些閘極結構；

移除未被該罩幕層覆蓋之該些閘極結構的該頂蓋層以及該間隙壁；

移除該罩幕層；以及

在該基底之上方沈積一介電層，覆蓋住該些閘極結構。

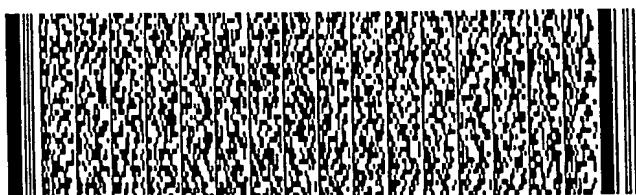
2. 如申請專利範圍第1項所述之半導體元件的製造方法，其中所形成之該罩幕層係覆蓋住預定形成自行對準接觸窗處之閘極結構或是主動區上之閘極結構。

3. 如申請專利範圍第2項所述之半導體元件的製造方法，其中所形成之該罩幕層係覆蓋住該些閘極結構的一部份。

4. 如申請專利範圍第1項所述之半導體元件的製造方法，其中移除該頂蓋層以及該間隙壁時係同時移除預定形成閘極接觸窗處之閘極結構的頂蓋層。

5. 如申請專利範圍第1項所述之半導體元件的製造方法，其中移除該罩幕層後更包括進行一金屬矽化製程，以在暴露出的閘極導電層之側壁形成一金屬矽化物層。

6. 如申請專利範圍第1項所述之半導體元件的製造方



六、申請專利範圍

法，其中該介電層之介電常數係小於該頂蓋層及該間隙壁之介電常數。

7. 如申請專利範圍第1項所述之半導體元件的製造方法，其中該頂蓋層與該間隙壁對該開介電層與該開極導電層之蝕刻選擇比係大於10。

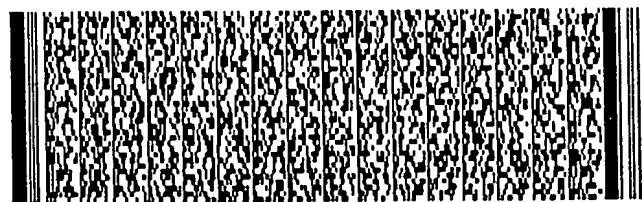
8. 如申請專利範圍第1項所述之半導體元件的製造方法，其中在形成該介電層之後，更包括在該介電層中形成一自行對準接觸窗，及在該介電層上形成與該自行對準接觸窗電性接觸之一導線。

9. 如申請專利範圍第1項所述之半導體元件的製造方法，其中在該基底之上方形成該罩幕層之前更包括先在該些開極結構之間填入一第一介電層。

10. 如申請專利範圍第9項所述之半導體元件的製造方法，其中在移除該罩幕層之後，更包括在該介電層以及第一介電層中形成一自行對準接觸窗，及在該介電層上形成與該自行對準接觸窗電性接觸之一導線。

11. 如申請專利範圍第9項所述之半導體元件的製造方法，其中移除未被該罩幕層覆蓋之該些開極結構的該頂蓋層之步驟，更包括移除未被該罩幕層覆蓋之該些開極結構的該間隙壁，而於該些開極結構之側壁與該第一介電層之間形成一空隙。

12. 如申請專利範圍第11項所述之半導體元件的製造方法，其中於形成該介電層以覆蓋住該些開極結構時，形成於該空隙處之該介電層中會形成有孔洞。



六、申請專利範圍

13. 一種半導體元件的製造方法，包括：

在一基底上形成一閘介電層；

在該基底上形成複數個閘極結構，其中每一該些閘極結構具有一閘極導電層、一頂蓋層以及一間隙壁；

在該些閘極結構之間填入一第一介電層；

在其中二該些閘極結構之間的該第一介電層中形成一自行對準接觸窗；

移除該些閘極結構之該頂蓋層；以及

在該第一介電層上沈積一第二介電層。

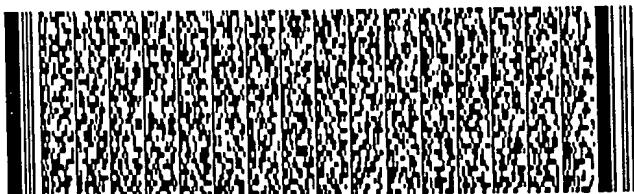
14. 如申請專利範圍第13項所述之半導體元件的製造方法，其中移除該頂蓋層時係同時移除預定形成閘極接觸窗處之閘極結構之頂蓋層。

15. 如申請專利範圍第13項所述之半導體元件的製造方法，其中移除該些閘極結構的該頂蓋層之步驟，更包括移除該些閘極結構的該間隙壁，而於該些閘極結構之側壁形成一空隙。

16. 如申請專利範圍第15項所述之半導體元件的製造方法，其中於該第一介電層上沈積該第二介電層時，形成在該空隙處之該第二介電層中會形成有孔洞。

17. 如申請專利範圍第13項所述之半導體元件的製造方法，其中該第二介電層之介電常數係小於該頂蓋層及該間隙壁之介電常數。

18. 如申請專利範圍第13項所述之半導體元件的製造方法，其中該頂蓋層與該間隙壁對該閘介電層與該閘極導



六、申請專利範圍

電層之蝕刻選擇比係大於10。

19. 如申請專利範圍第13項所述之半導體元件的製造方法，其中在形成該第二介電層之後，更包括在該第二介電層上形成與該自行對準接觸窗電性接觸之一導線。

20. 一種半導體元件之結構，包括：

一閘介電層，配置在一基底上；

複數個第一閘極結構，配置在該閘介電層上，其中該些第一閘極結構具有一閘極導電層、一頂蓋層以及一間隙壁；

複數個第二閘極結構，配置在該基底上方，其中該些第二閘極結構具有該閘極導電層；

一介電層，配置在該基底上並覆蓋該些第一及第二閘極結構；

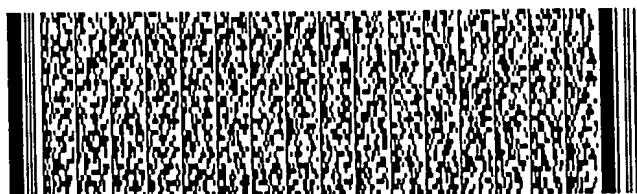
一自行對準接觸窗，配置在該些第一閘極結構之間的該介電層中；以及

一導線，配置在該介電層上，且與該自行對準接觸窗電性接觸。

21. 如申請專利範圍第20項所述之半導體元件之結構，其中該些第一閘極結構之該頂蓋層以及該間隙壁僅配置在該自行對準接觸窗與該閘極導電層之間。

22. 如申請專利範圍第20項所述之半導體元件之結構，其中該些第二閘極結構之該閘極導電層之側壁處的該介電層中具有孔洞。

23. 如申請專利範圍第22項所述之半導體元件之結



六、申請專利範圍

構，其中該些第一閘極導電層除了與該自行對準接觸窗相鄰之側壁之外，其餘該些第一閘極導電層之側壁處的該介電層中具有孔洞。

24. 如申請專利範圍第20項所述之半導體元件之結構，其中該些第二閘極結構更包括一間隙壁，配置在該閘極導電層之側壁處，且該間隙壁之高度係高於該閘極導電層。

25. 如申請專利範圍第20項所述之半導體元件之結構，其中該介電層之介電常數係小於該頂蓋層及該間隙壁之介電常數。

26. 如申請專利範圍第20項所述之半導體元件之結構，更包括一金屬矽化物層，形成在該些第二閘極結構之該閘極導電層側壁。

27. 如申請專利範圍第26項所述之半導體元件之結構，其中在該些第一閘極導電層其除了與該自行對準接觸窗相鄰之側壁之外的其餘該些第一閘極導電層之側壁更包括形成有該金屬矽化物層。

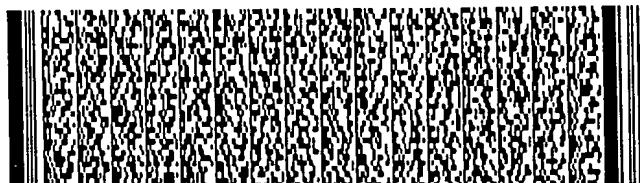
28. 一種半導體元件之結構，包括：

一閘介電層，配置在一基底上；

複數個第一閘極結構，配置在該閘介電層上，其中該些第一閘極結構具有一閘極導電層；

複數個第二閘極結構，配置在該基底上方，其中該些第二閘極結構具有該閘極導電層；

一介電層，配置在該基底上並覆蓋該些第一及第二閘



六、申請專利範圍

極結構：

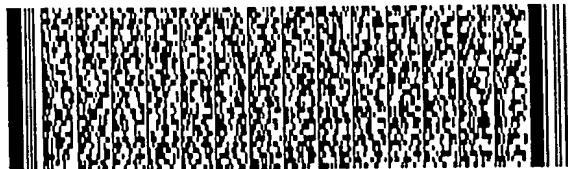
一自行對準接觸窗，配置在該些第一閘極結構之間的該介電層中，且該自行對準接觸窗與該第一閘極結構之間係夾有該介電層；以及

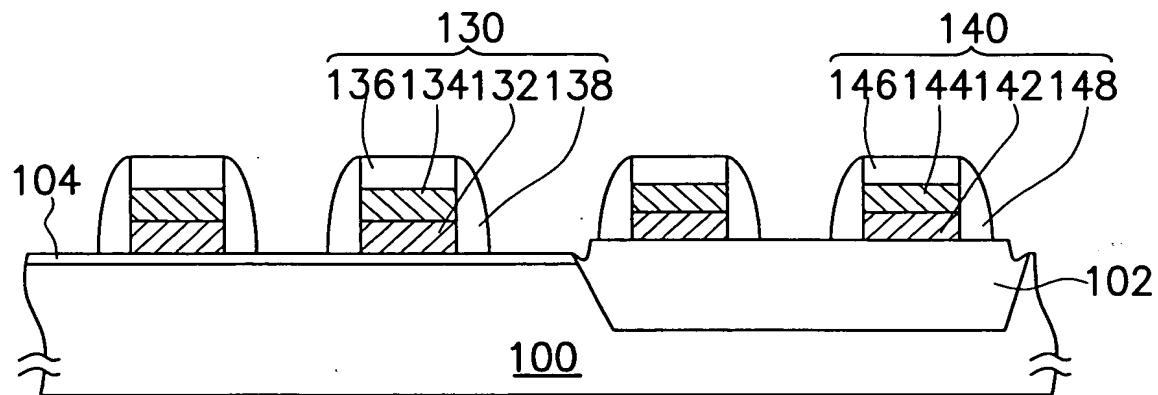
一導線，配置在該介電層上，且與該自行對準接觸窗電性接觸。

29. 如申請專利範圍第28項所述之半導體元件之結構，其中該些第一及第二閘極結構之該閘極導電層之側壁處的該介電層中具有孔洞。

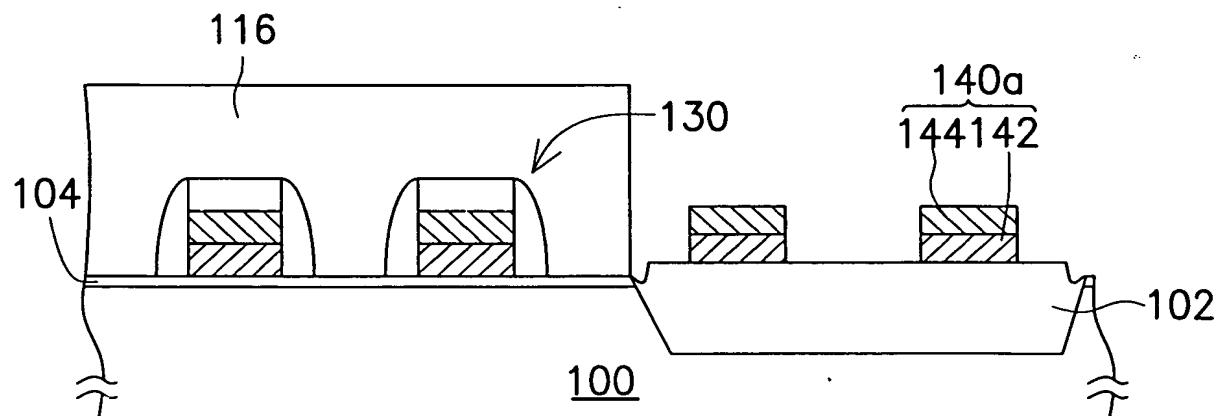
30. 如申請專利範圍第28項所述之半導體元件之結構，更包括一間隙壁，配置於該些第一及第二閘極結構之該閘極導電層之側壁處，且該間隙壁之高度係高於該閘極導電層。

31. 如申請專利範圍第30項所述之半導體元件之結構，其中該介電層之介電常數係小於該間隙壁之介電常數。

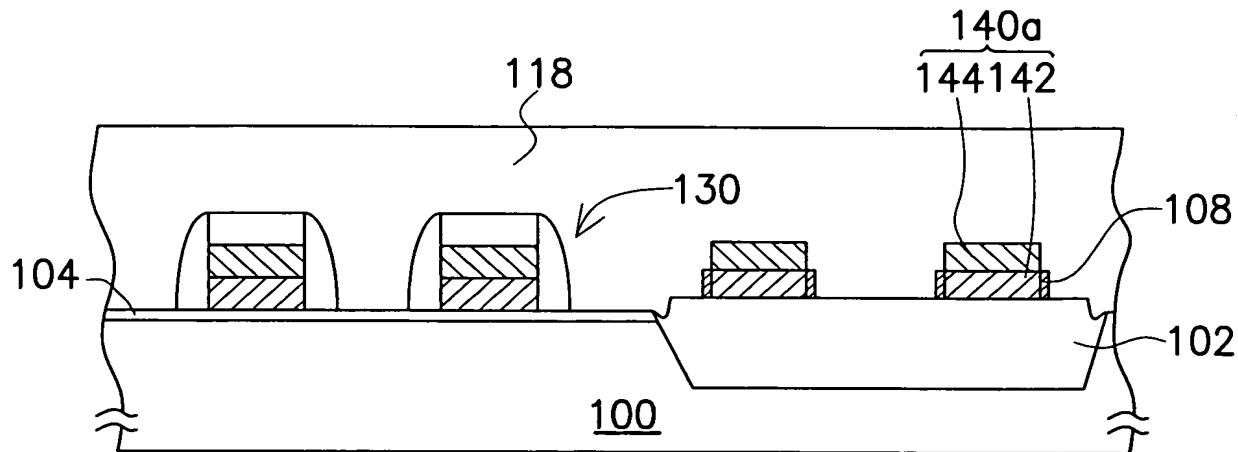




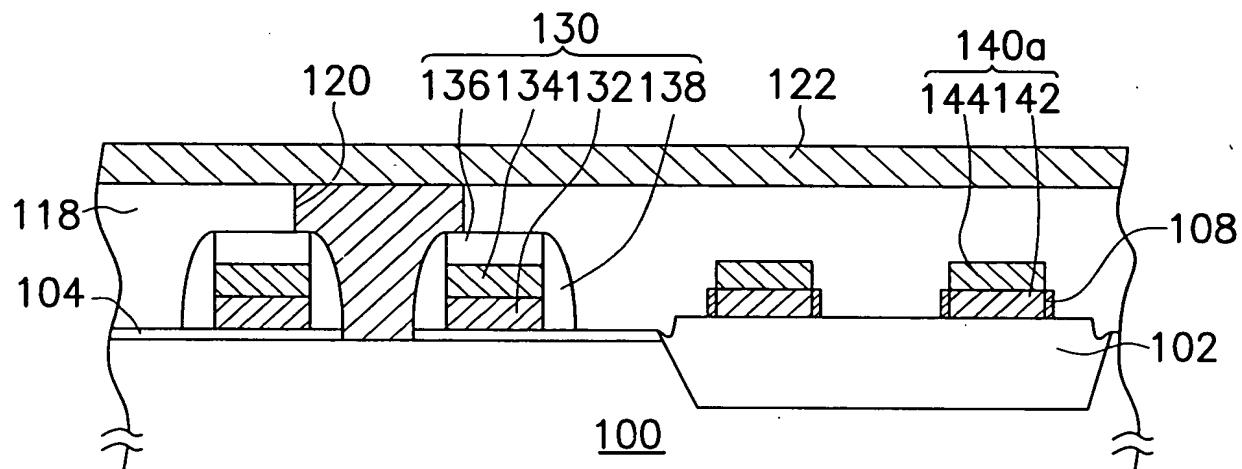
第1A圖



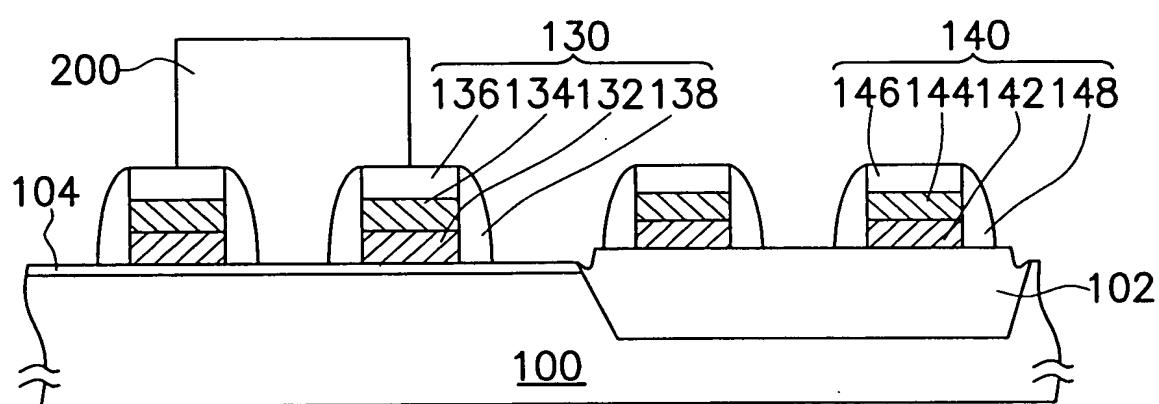
第1B圖



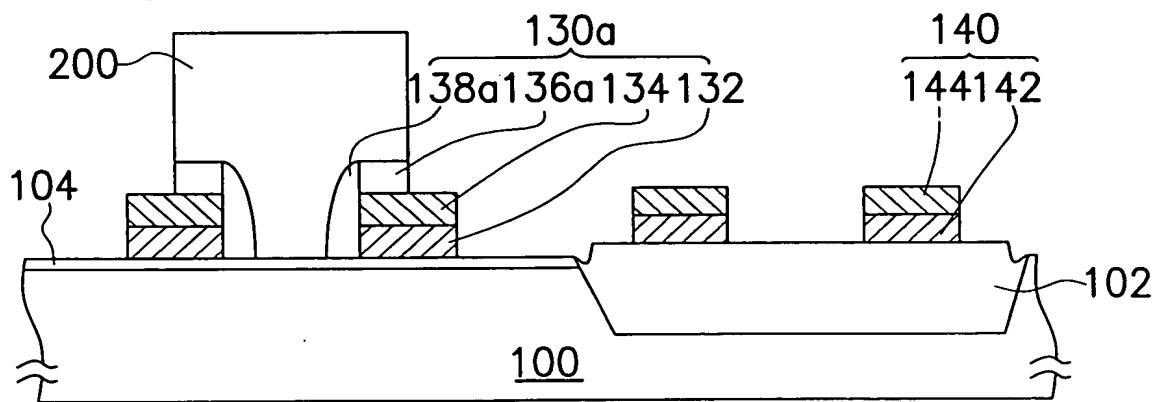
第 1C 圖



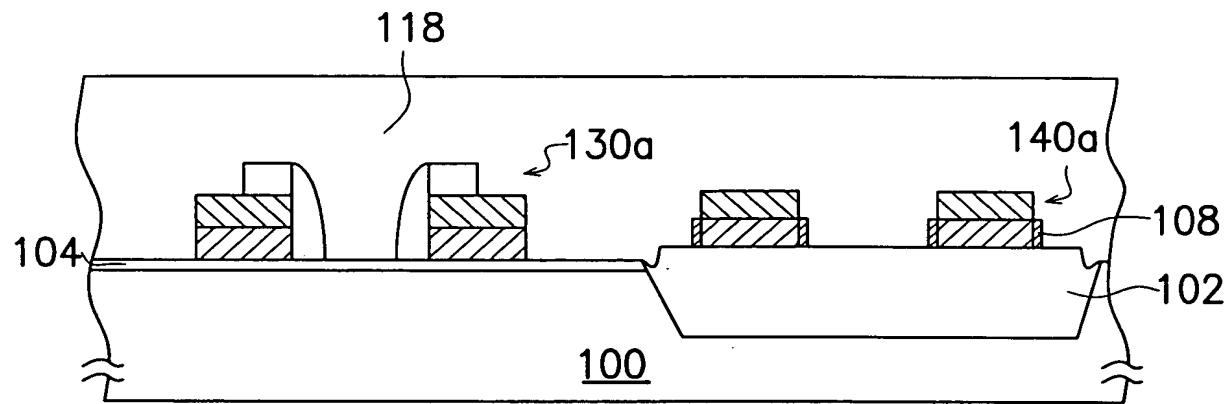
第 1D 圖



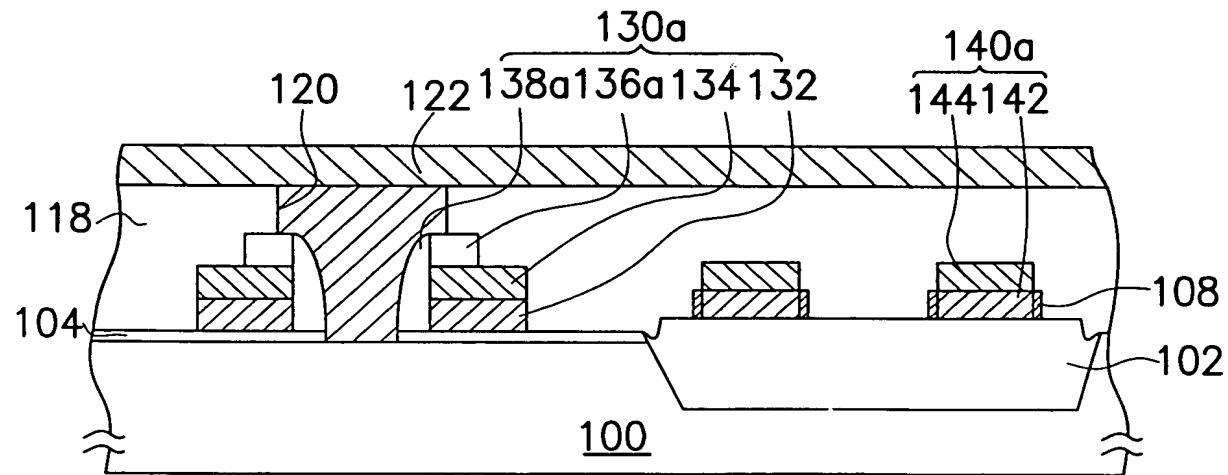
第 2A 圖



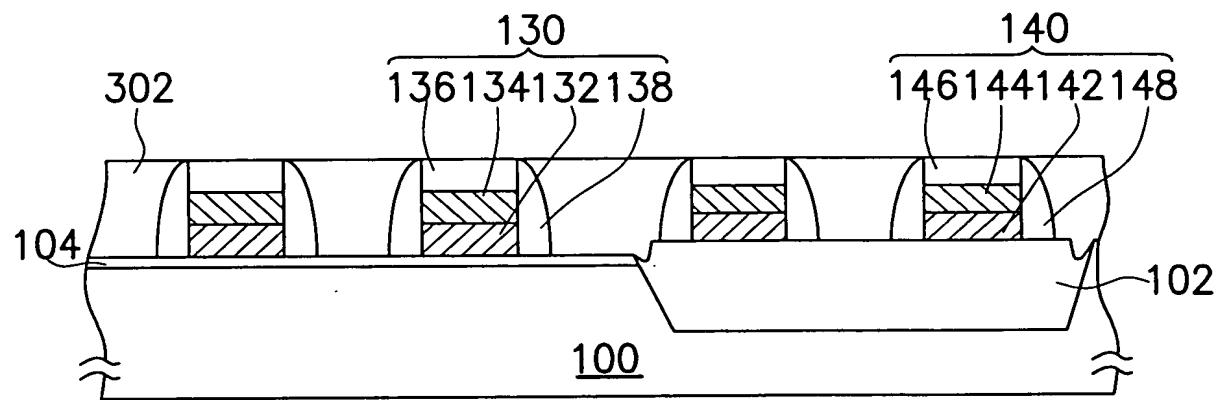
第 2B 圖



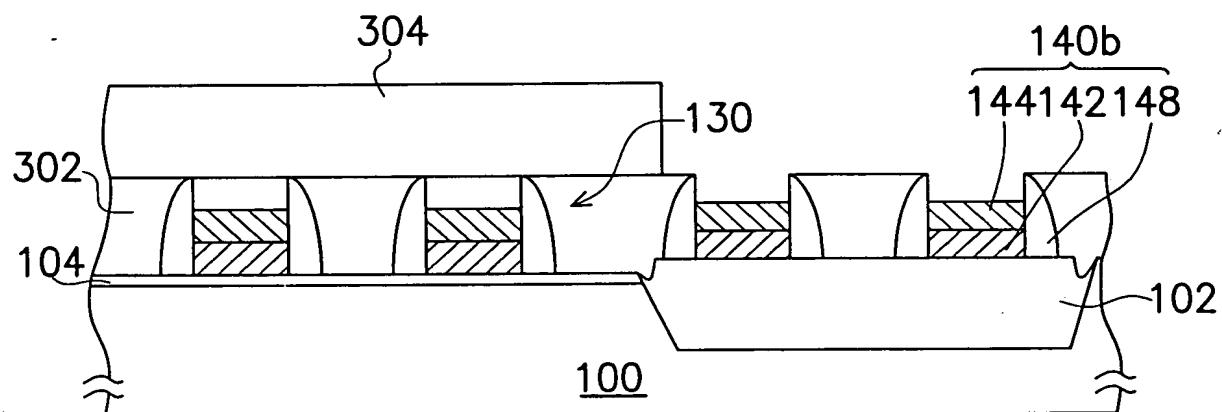
第 2C 圖



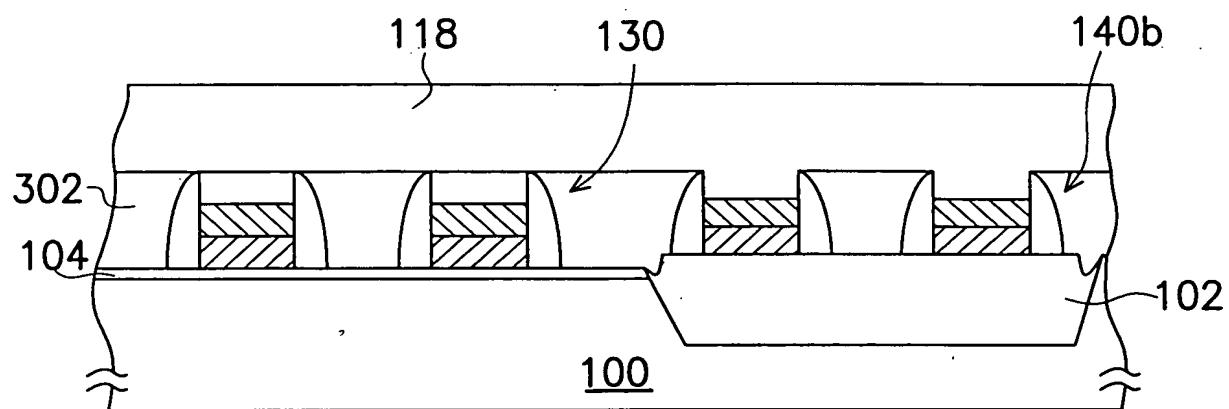
第 2D 圖



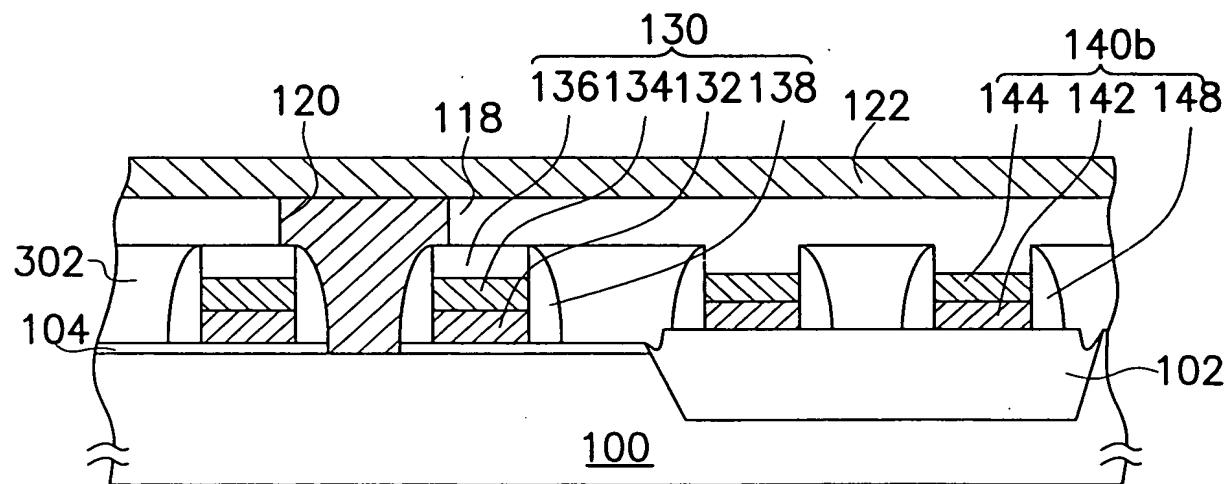
第3A圖



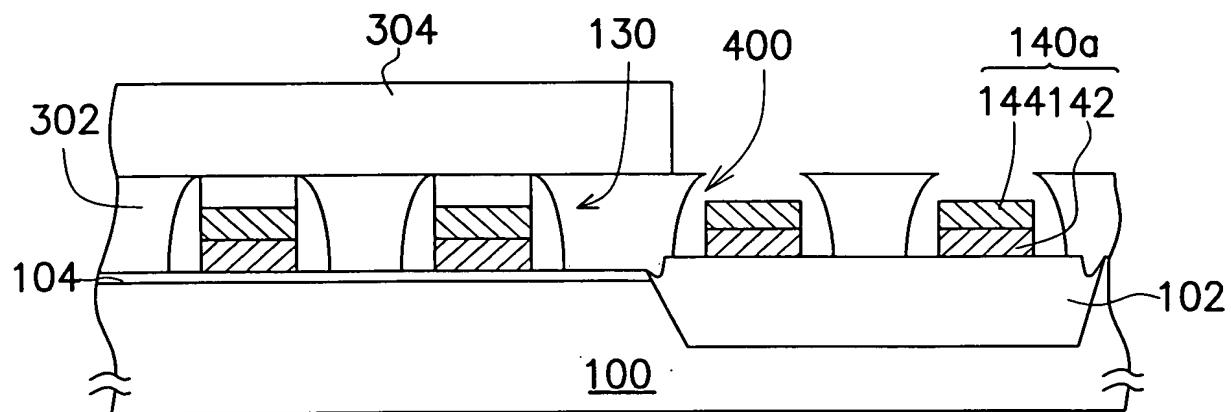
第3B圖



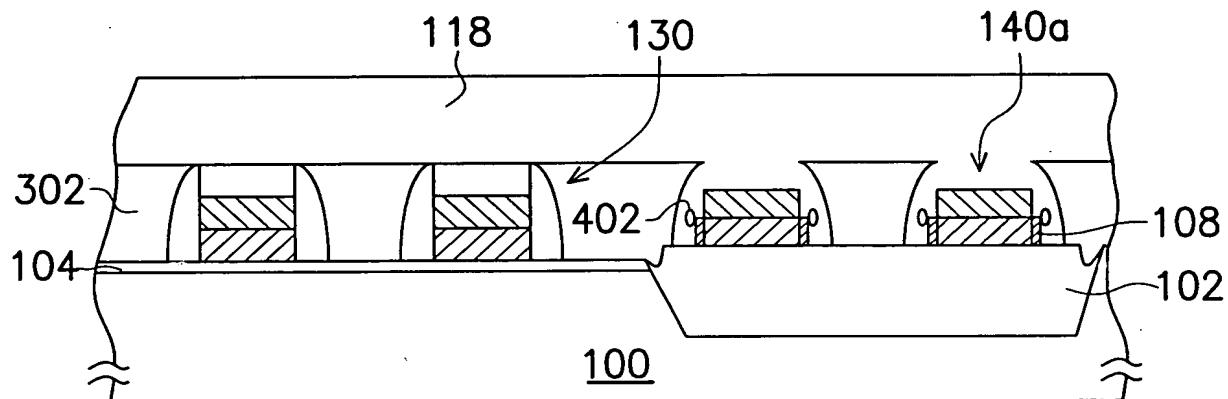
第3C圖



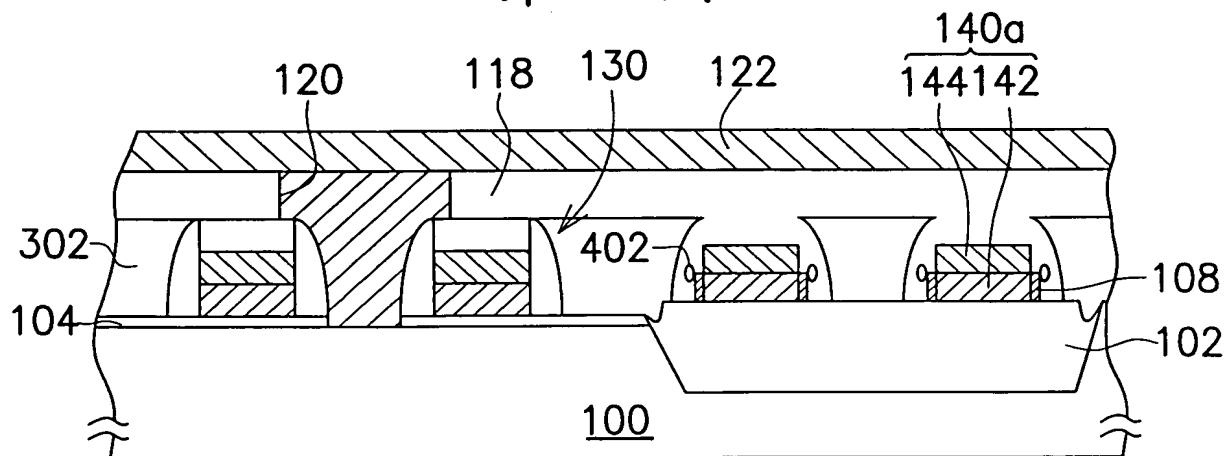
第3D圖



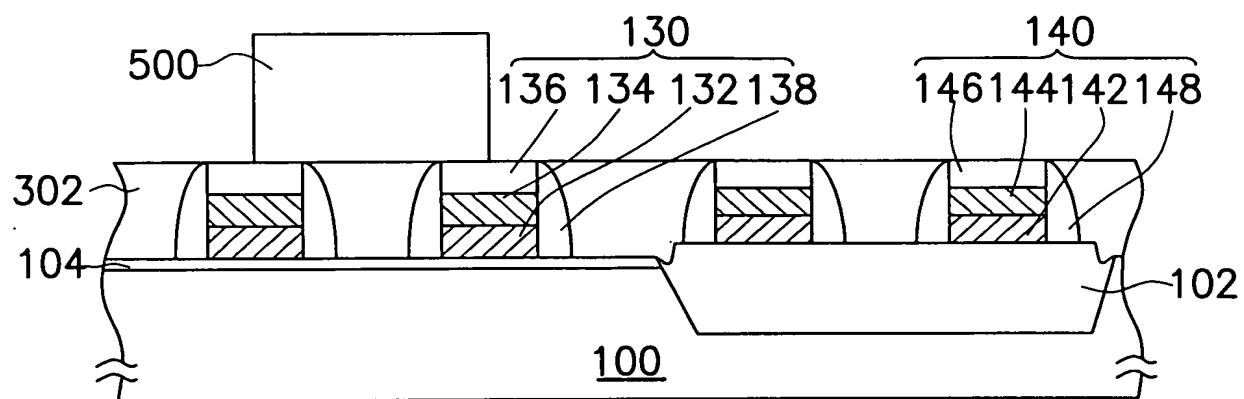
第4A圖



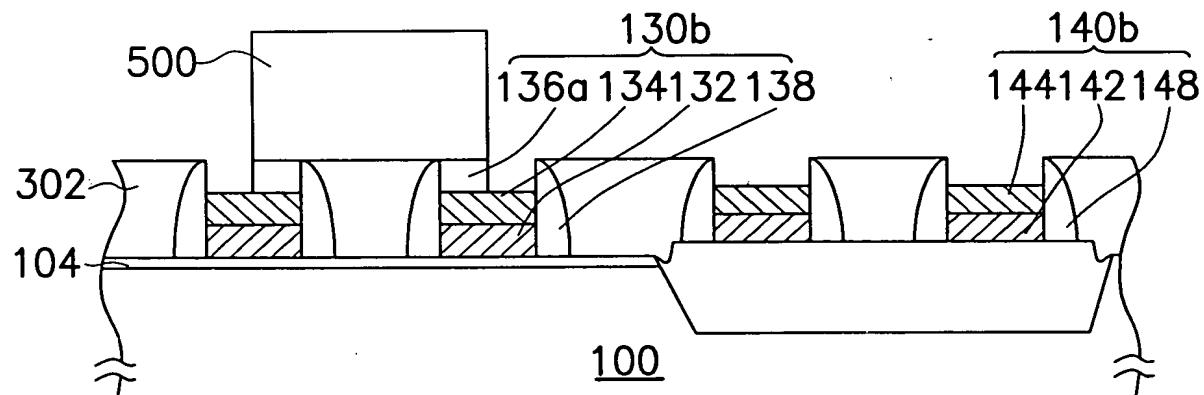
第4B圖



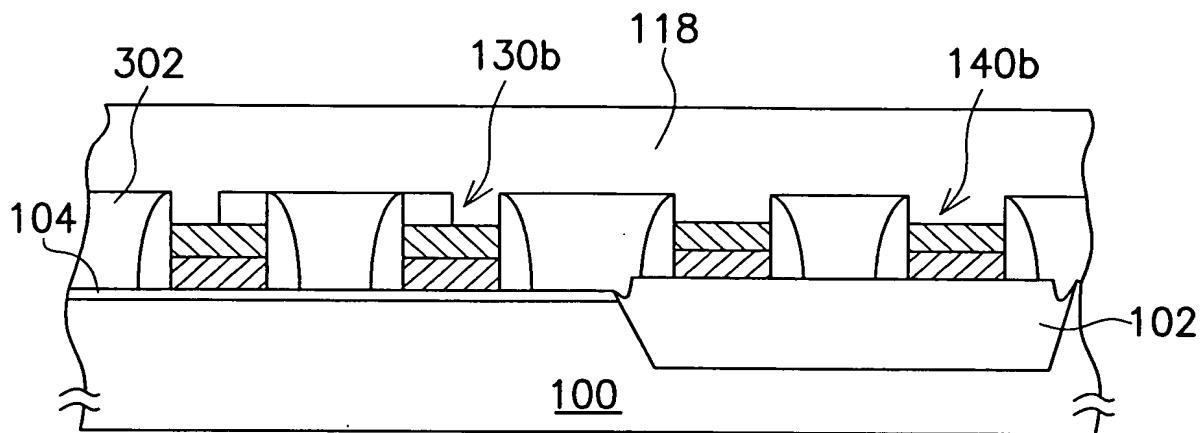
第4C圖



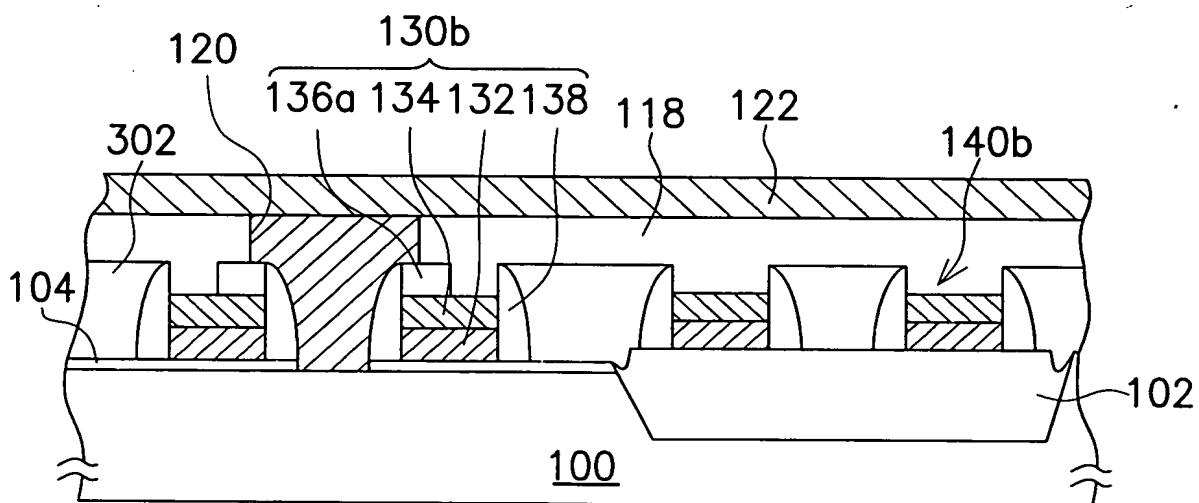
第 5A 圖



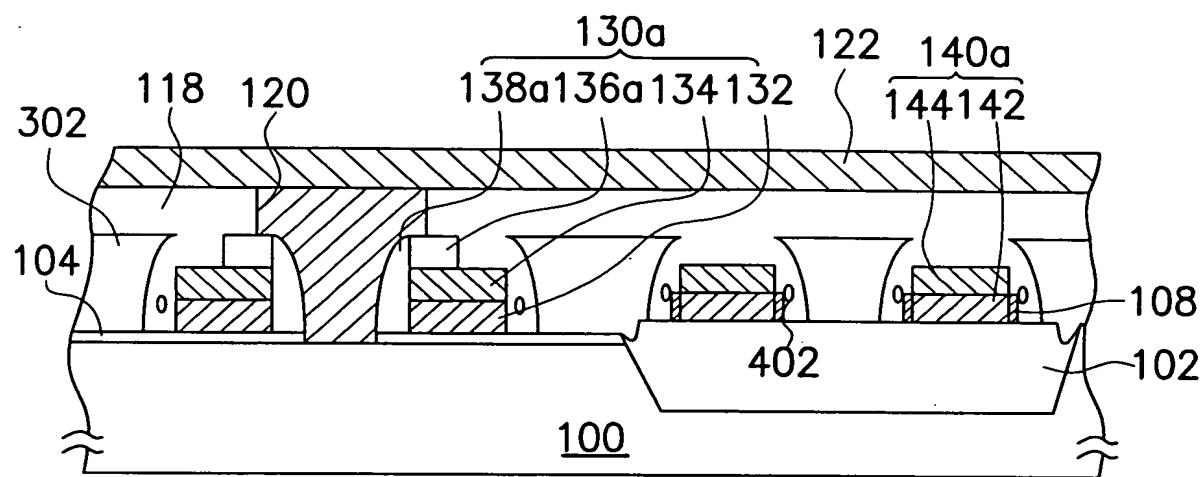
第 5B 圖



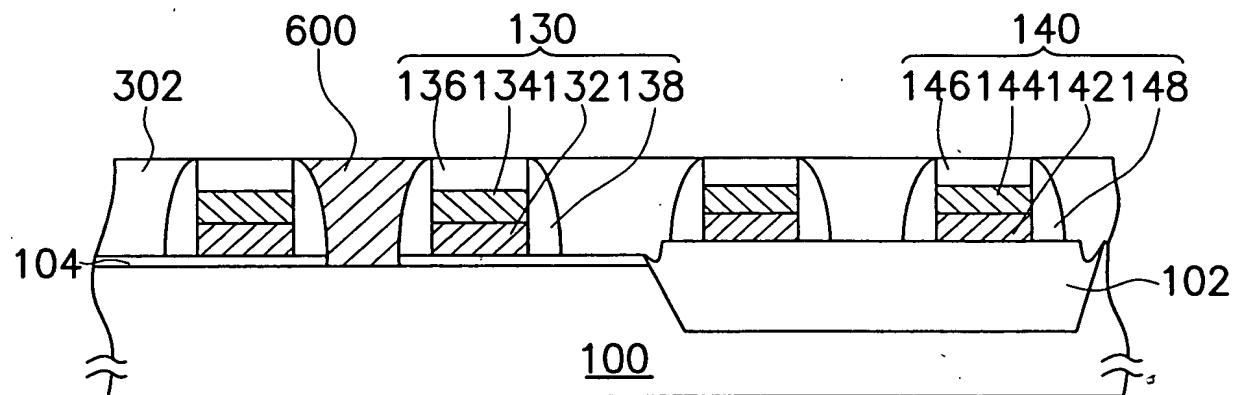
第5C圖



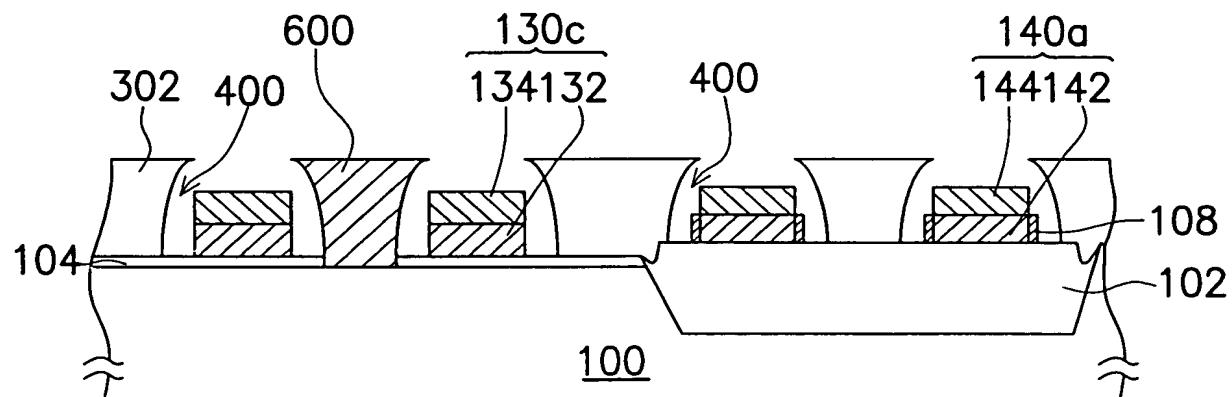
第5D圖



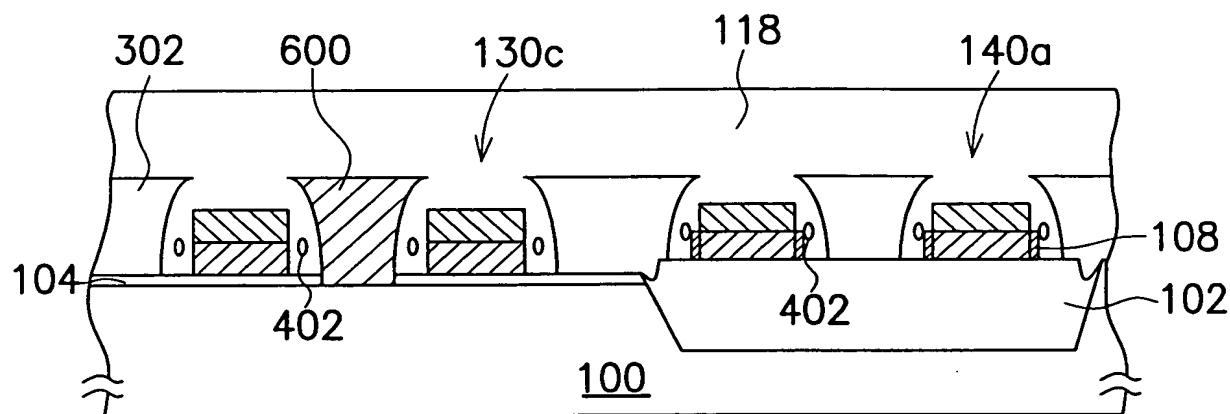
第 6 圖



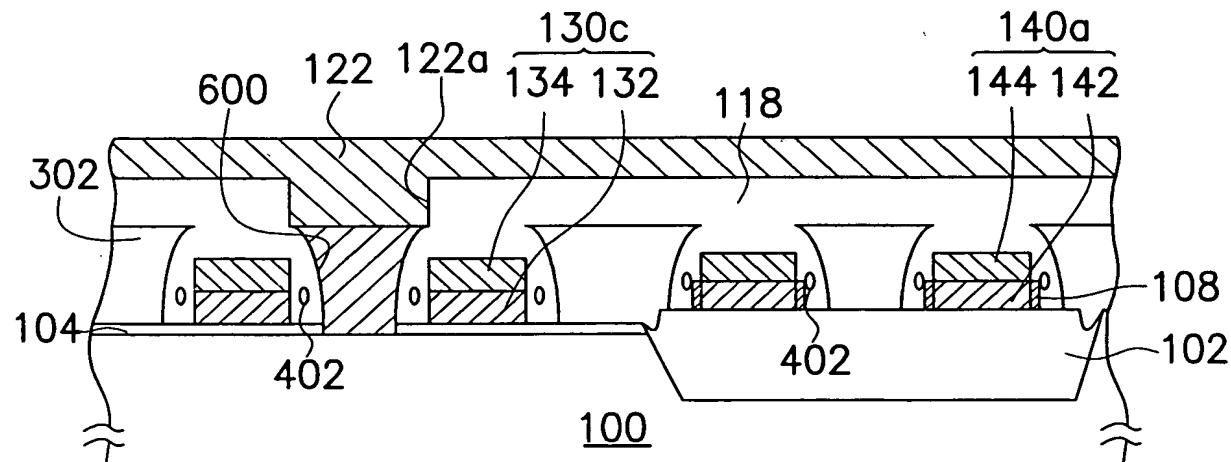
第 7A 圖



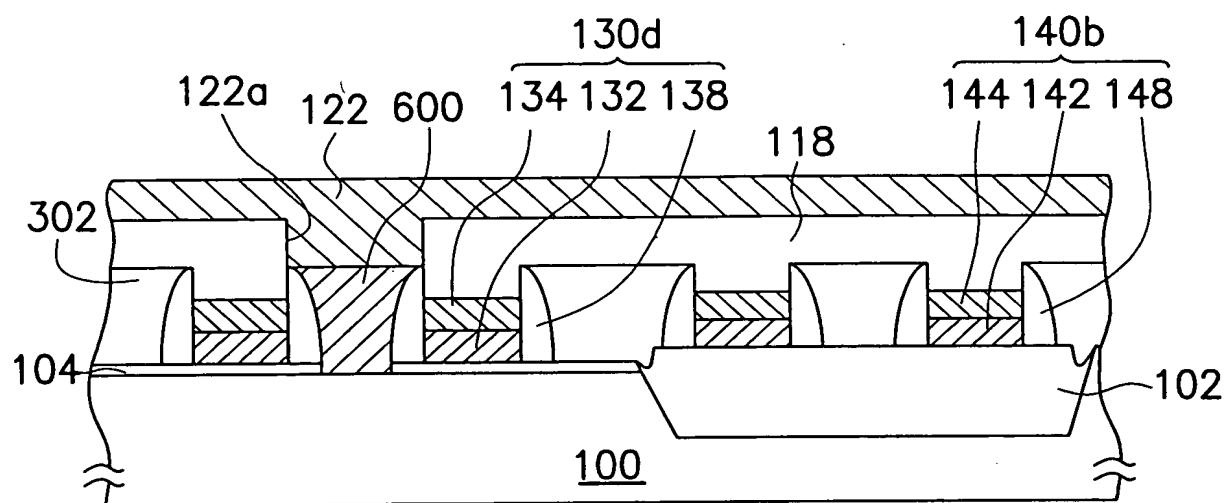
第 7B 圖



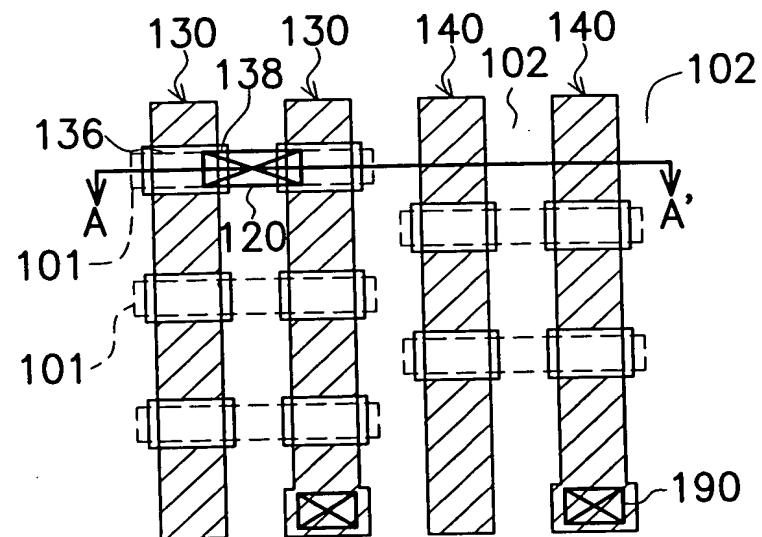
第7C圖



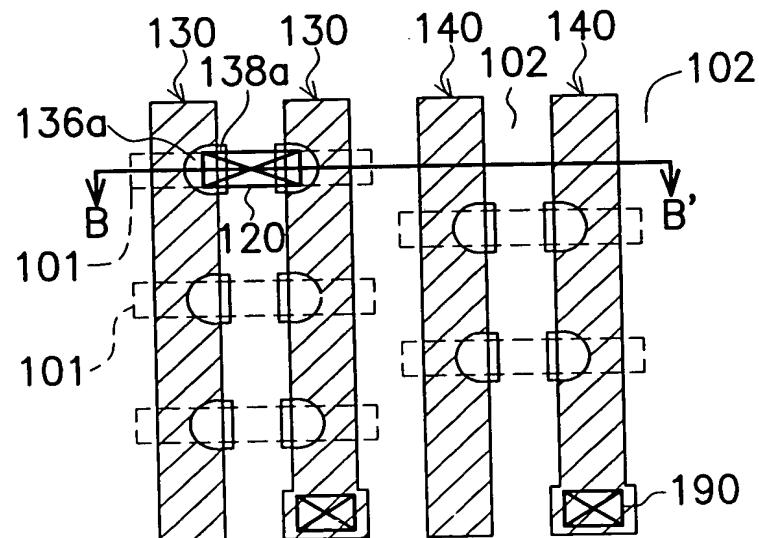
第7D圖



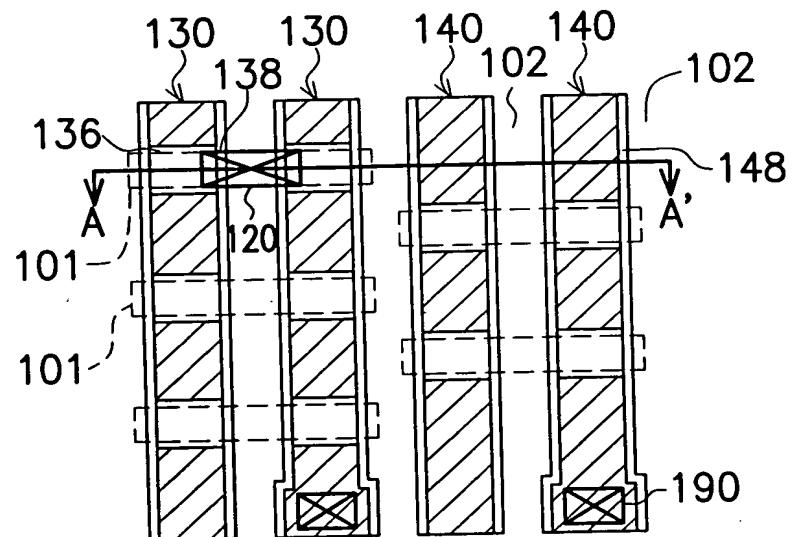
第 8 圖



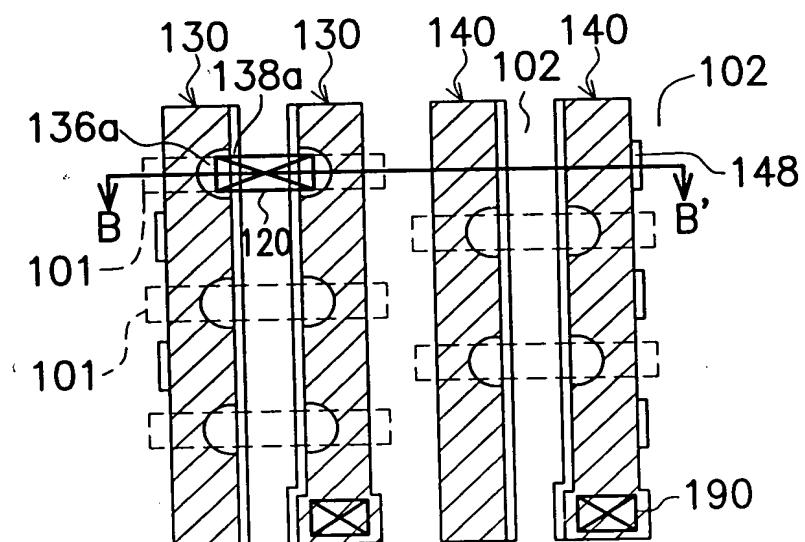
第 9 圖



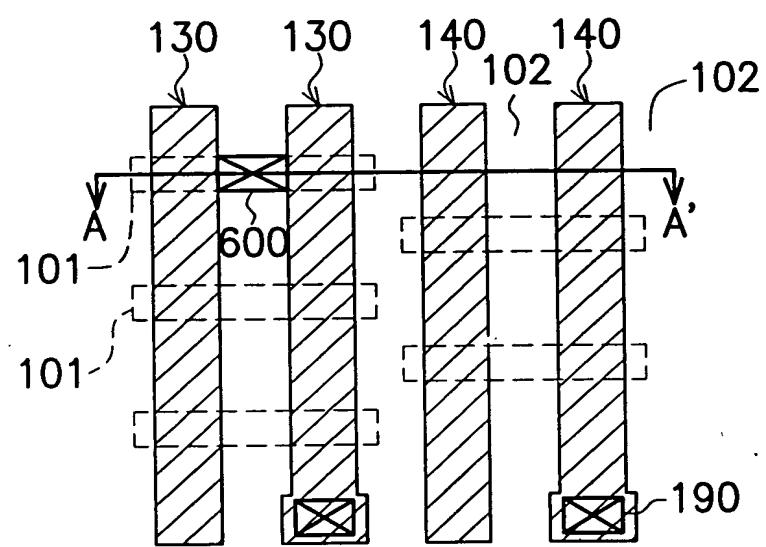
第 10 圖



第 11 圖

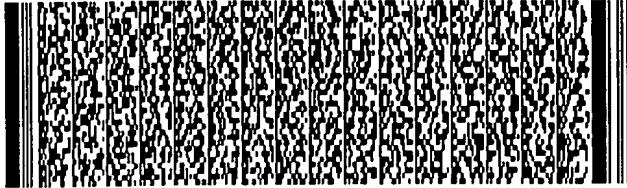


第 12 圖

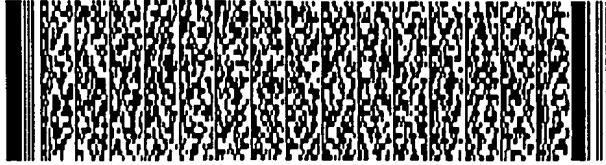


第13圖

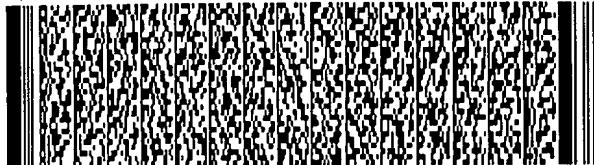
第 1/31 頁



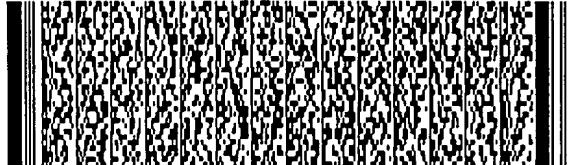
第 2/31 頁



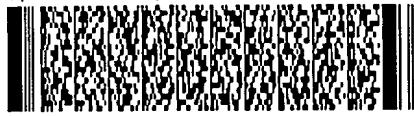
第 2/31 頁



第 3/31 頁



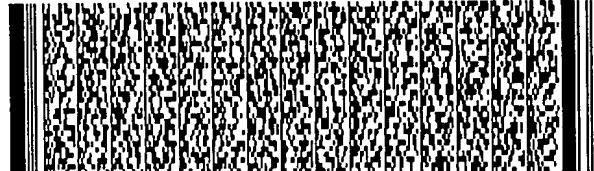
第 4/31 頁



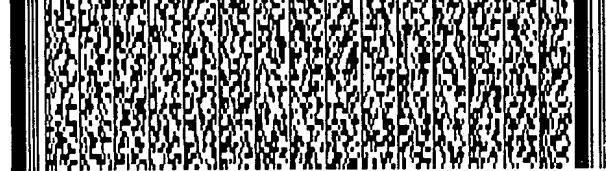
第 5/31 頁



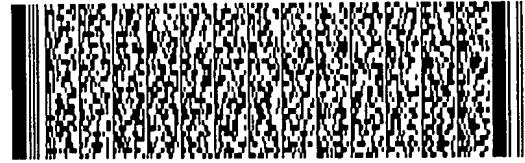
第 6/31 頁



第 6/31 頁



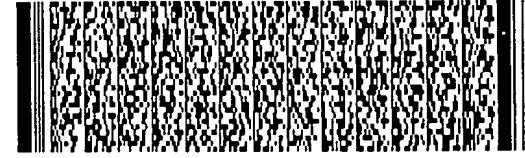
第 7/31 頁



第 7/31 頁



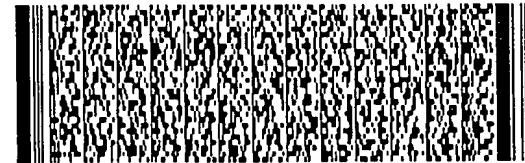
第 8/31 頁



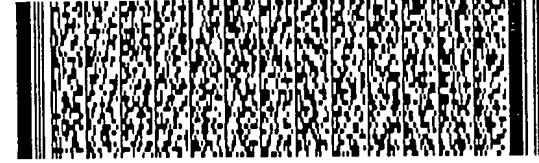
第 8/31 頁



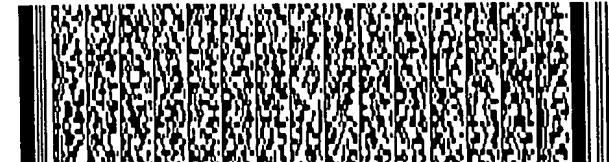
第 9/31 頁



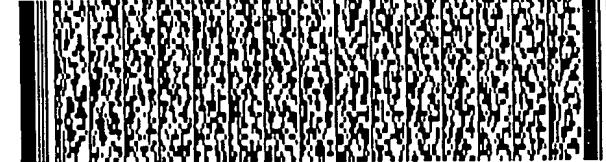
第 9/31 頁



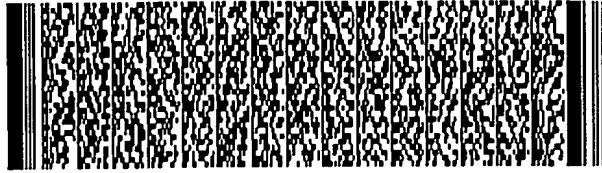
第 10/31 頁



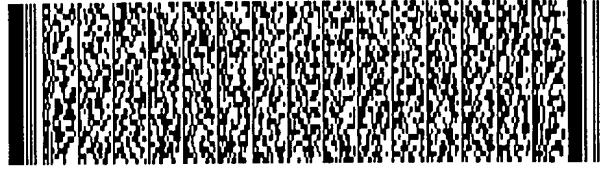
第 10/31 頁



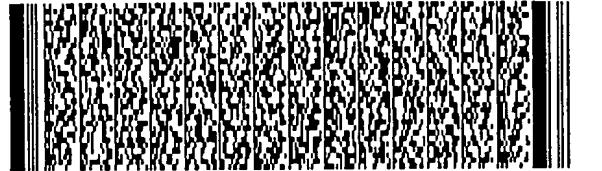
第 11/31 頁



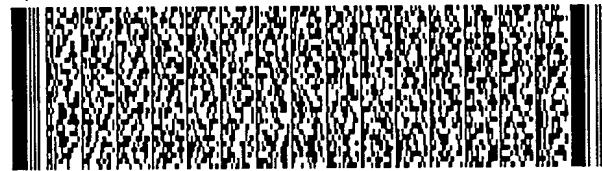
第 12/31 頁



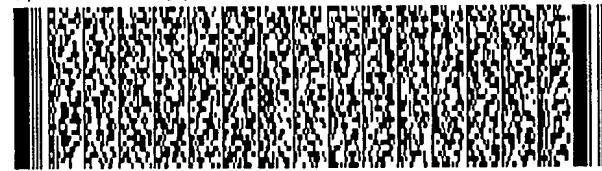
第 13/31 頁



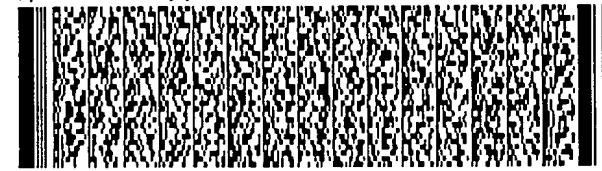
第 14/31 頁



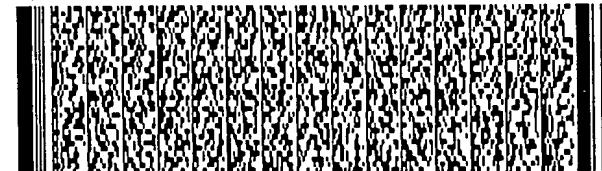
第 15/31 頁



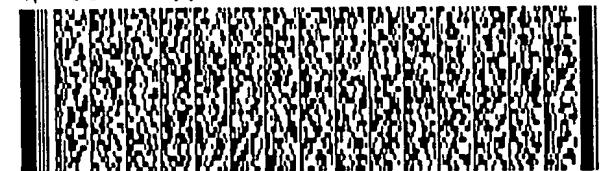
第 16/31 頁



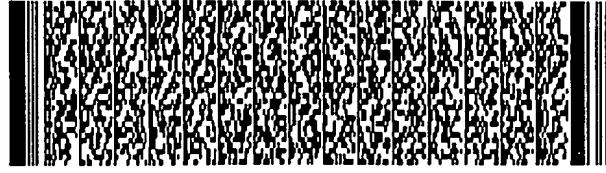
第 17/31 頁



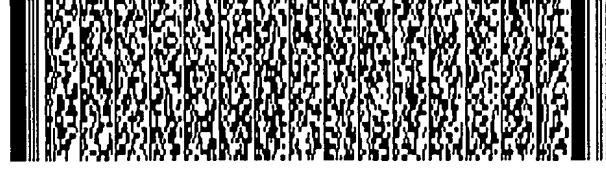
第 18/31 頁



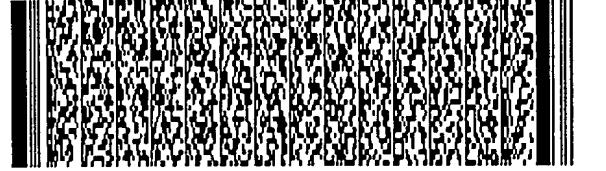
第 11/31 頁



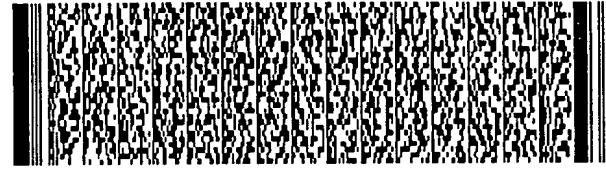
第 12/31 頁



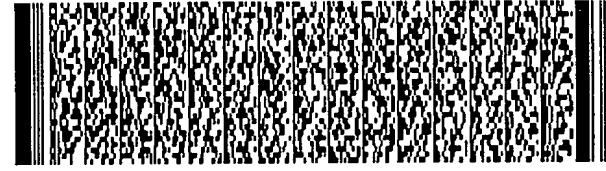
第 13/31 頁



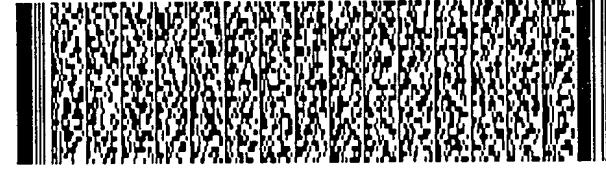
第 14/31 頁



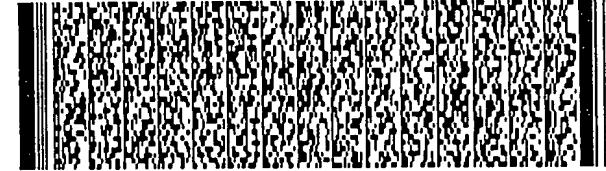
第 15/31 頁



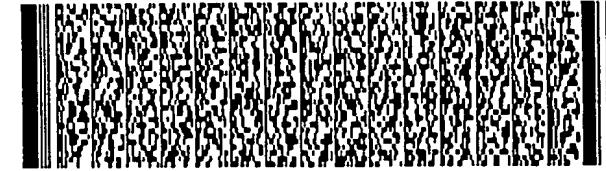
第 16/31 頁



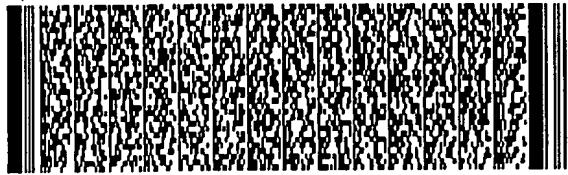
第 17/31 頁



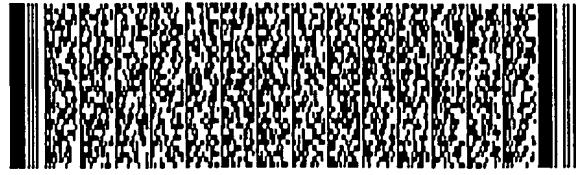
第 18/31 頁



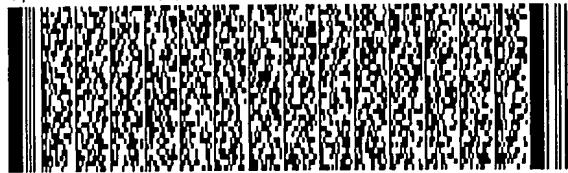
第 19/31 頁



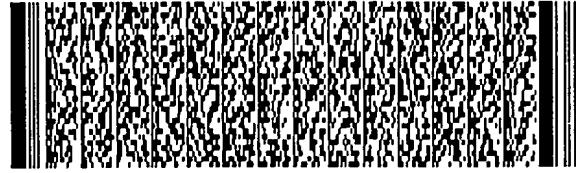
第 19/31 頁



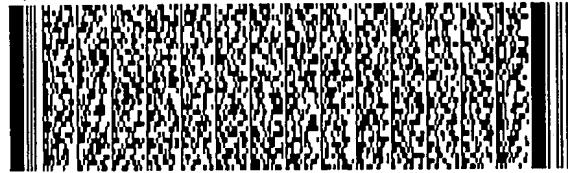
第 20/31 頁



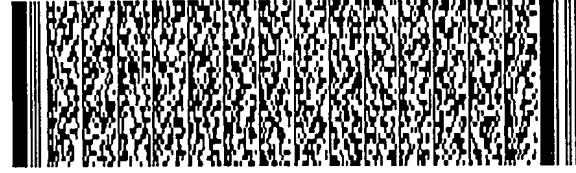
第 20/31 頁



第 21/31 頁



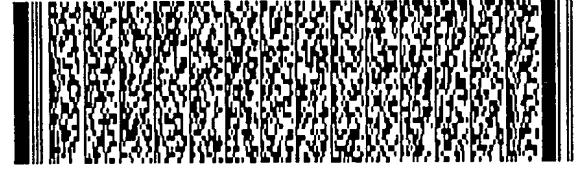
第 21/31 頁



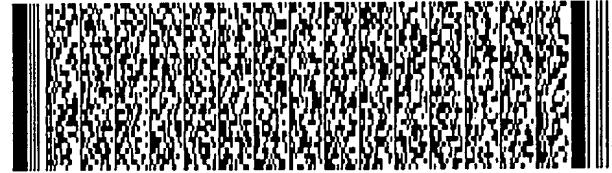
第 22/31 頁



第 22/31 頁



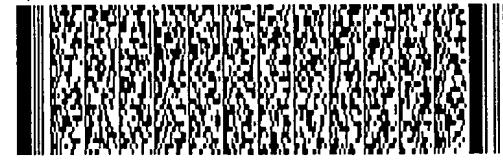
第 23/31 頁



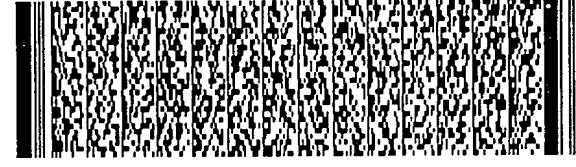
第 23/31 頁



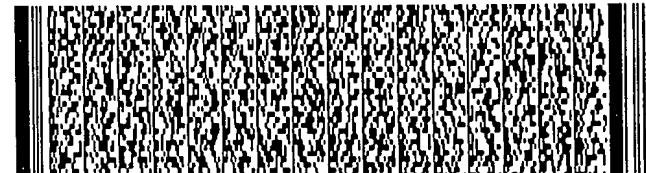
第 24/31 頁



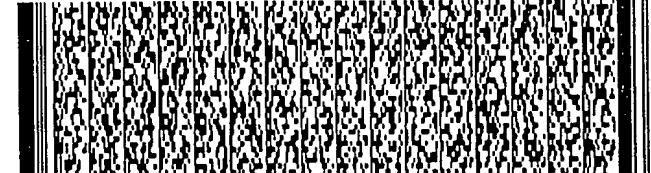
第 25/31 頁



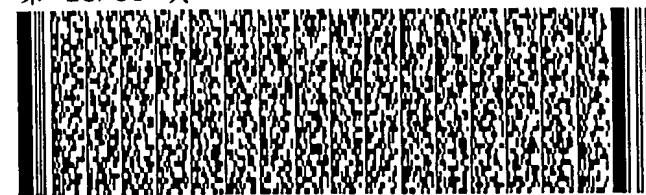
第 26/31 頁



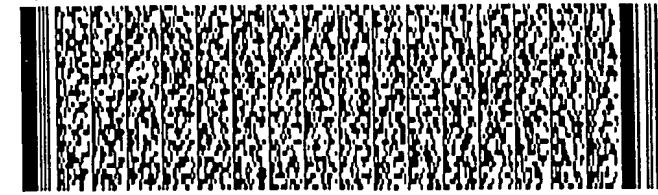
第 27/31 頁



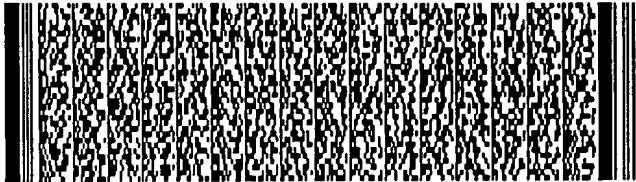
第 28/31 頁



第 29/31 頁



第 30/31 頁



第 31/31 頁

